

# PATENT ABSTRACTS OF JAPAN

(11)Publication number.: 07-219508

(43)Date of publication of application : 18.08.1995

(51)Int.Cl.

G09G 5/34  
G06F 3/14

(21)Application number : 06-095645

(71)Applicant : HITACHI LTD

(22)Date of filing : 07.04.1994

(72)Inventor : YOKOTA YOSHIKAZU  
SAKAMAKI GORO  
TANI KUNIIHIKO

(30)Priority

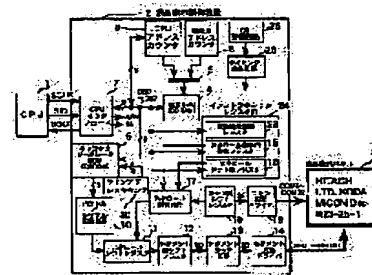
Priority number : 05339964 Priority date : 07.12.1993 Priority country : JP

## (54) DISPLAY CONTROLLER

(57)Abstract:

PURPOSE: To provide the display controller which scrolls a desired display line on a display screen, pixel by pixel, to the right and left.

CONSTITUTION: A CPU 1 writes the code of a character to be displayed in a display RAM 4 corresponding to the liquid crystal display position and then an optional character is read out of a character generator ROM 5 and displayed. This controller is provided with a scroll display line specification register 15 which specifies an optional display line to be scrolled and a scroll dot quantity register 16 which specifies a scroll quantity in pixel units; and a scroll shift register 11 delays character data of the specified display line by a specified number of dots and supplies the character data to a segment-side shift register 12.



## LEGAL STATUS

[Date of request for examination] 21.04.2000

[Date of sending the examiner's decision of rejection] 03.09.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2002-19075

[Date of requesting appeal against examiner's decision of rejection] 02.10.2002

[Date of extinction of right]

BEST AVAILABLE COPY

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] the pattern which becomes the display device of a large number arranged in the shape of a dot matrix in the crossover location of a scan electrode and a signal electrode from two or more pixels -- a predetermined digit count -- with -- \*\*\*\* -- it being the display control which carries out a display control, and the above-mentioned scan electrode with the 1st drive circuit which carries out a time-sharing drive The 2nd drive circuit which holds a pixel data stream for every drive change-over spacing of the above-mentioned scan electrode, and drives the above-mentioned signal electrode, The pattern data memory which outputs the pixel data of the display pattern according to the code data read from the display RAM which can store the code data more than the above-mentioned predetermined digit count, and the above-mentioned display RAM one by one, The pixel data stream by which a sequential output is carried out from the above-mentioned pattern data memory is inputted, and timing which supplies this to the drive circuit of the above 2nd is \*\*\*\*\* carried out by the pixel data unit. The pixel data stream supply circuit in which an output is possible in the 2nd drive circuit, The display control characterized by being what is equipped with the amount control means of scrolling which controls the amount of gaps of the output timing of the above-mentioned pixel data stream supply circuit to adjustable, and changes.

[Claim 2] The display control according to claim 1 characterized by being what is further equipped with the scrolling display-line control means which controls to adjustable the display line of the pixel data stream which should shift output timing by the pixel data stream supply circuit, and changes.

[Claim 3] The display control according to claim 1 or 2 characterized by being what is further equipped with the scrolling digit control means which controls to adjustable the digit place of the pixel data stream which should shift output timing by the pixel data stream supply circuit, and changes.

[Claim 4] The above-mentioned pixel data stream supply circuit is the display control of three claim 1 characterized by being what is equipped with the selection circuitry which chooses one node from the input of each storage stage of the shift circuit which holds to a serial the pixel data stream by which a sequential output is carried out from the above-mentioned pattern data memory one by one per pixel , and the above-mentioned shift circuit , or an output node , and is considered as an output , and changes thru/or given in any 1 term .

[Claim 5] The above-mentioned amount control means of scrolling is a display control according to claim 4 characterized by being what is equipped with the 1st storage means which memorizes possible [ rewriting of the amount of scrolling for directing the amount of gaps of the output timing in the above-mentioned data stream supply circuit ], and gives the memorized amount of scrolling to the above-mentioned selection circuitry, and changes.

[Claim 6] The 2nd storage means which memorizes the above-mentioned amount control means of scrolling possible [ rewriting of the scrolling line which should scroll ], The line detector which detects whether the current display line is in agreement with the scrolling line specified with the 2nd storage means, The display control according to claim 5 characterized by being what is equipped with the gate circuit which enables supply of the amount of scrolling which the storage means of the above 1st holds when coincidence is detected in a top Noriyuki detector to the above-mentioned selection circuitry, and

changes.

[Claim 7] The above-mentioned scrolling digit control means is a display control according to claim 5 or 6 characterized by being what is equipped with the digit detector which detects whether it is in agreement at the scrolling digit by which the 3rd storage means and current display digit memorized possible [ rewriting of the display digit which should scroll among scrolling lines ] were specified as the 3rd storage means, and changes.

[Claim 8] The above-mentioned amount control means of scrolling is a display control claim 1 characterized by being what is equipped with the scrolling counter which updates and outputs the amount of scrolling for directing the amount of gaps of the output timing in the generating circuit and the above-mentioned data stream supply circuit of a scrolling periodic signal for specifying a scroll rate while synchronizing with change of the above-mentioned scrolling periodic signal, and changes thru/or given [ three ] in any 1 term.

[Claim 9] The 1st control information for the above-mentioned amount control means of scrolling to specify the period of a scrolling periodic signal to the generating circuit of the above-mentioned scrolling periodic signal, The 4th storage means memorized possible [ rewriting of the 2nd control information which shows the count direction over the above-mentioned scrolling counter, and the 3rd control information which directs the whole amount of scrolling ], The display control according to claim 8 characterized by being what is further equipped with the scrolling termination detector where the output of the above-mentioned scrolling counter detects having reached the 3rd control information memorized by the storage means of the above 4th, and resets a scrolling counter, and changes.

[Claim 10] It has an interface means for carrying out the interface of the above-mentioned storage means to the exterior. This above-mentioned interface means The internal bus combined with the input of the above-mentioned storage means, and a serial clock input terminal, A serial data input terminal and the serial store circuit which consists of two or more latch circuits combined with the serial data input terminal, The parallel data latch circuit by which each output node of the latch circuit of predetermined two or more stages included in the above-mentioned serial store circuit was combined with the juxtaposition input terminal, and the juxtaposition output terminal was connected to the above-mentioned internal bus, The sync bit train detector which outputs the 1st signal when they are predetermined logical values in juxtaposition in response to the fact that the output of the latch circuit by which an output is combined with the input of the above-mentioned juxtaposition latch circuit, and other latch circuits, The access-control information latch circuit which incorporates the storage information on latch circuits other than the latch circuit by which the output was combined with the input of the above-mentioned logical circuit with the 1st signal, the 1st signal of the above -- counting -- the display control of nine claims 5 and 6 characterized by being what is equipped with the transfer sequence control counter which actuation is reset and controls the latch timing of the above-mentioned parallel data latch circuit according to the enumerated data, and changes, or given in any 1 term.

[Claim 11] It is the display control according to claim 10 which an output is combined with a serial data output terminal while an input is combined with an internal bus by juxtaposition with a serial data output terminal, and is further equipped with the parallel/serial-conversion circuit where a serial output synchronizes with the above-mentioned serial clock signal, and is characterized by the above-mentioned transfer sequence control counter being what generates the control signal which controls the output initiation timing of the above-mentioned parallel/serial-conversion circuit according to the enumerated data further.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention is applied to the liquid crystal display control unit which is applied to a display-control technical pan at the scrolling technique in liquid crystal drive control, fluorescence tubing drive control, etc., for example, performs a character display with a dot-matrix gestalt using a character generator ROM, and relates to an effective technique.

[0002]

[Description of the Prior Art] The liquid crystal display control unit of the character generator method as one of the display-control gestalten consisted of RAM for a display (it abbreviates to DDRAM hereafter) which stores a character code, a display address counter which reads the character generators RAM, ROM (it is described as Following CGRAM and CGROM), and DDRAM which store character patterns, such as a character font, according to the activation point of a liquid crystal display panel, and a liquid crystal drive circuit which performs the drive of a liquid crystal display panel. Here, a central processing unit (it abbreviates to CPU hereafter) writes the character code corresponding to the character which displays on a liquid crystal display panel in DDRAM. A display address counter reads DDRAM one by one according to the activation point of a liquid crystal display panel, and reads a character pattern for the read character code from CGRAM or CGROM as a part of address. It is sent to the shift register in a liquid crystal drive circuit one by one as lighting / astigmatism LGT data of liquid crystal, when the data for one line are stored, all liquid crystal driver circuits output lighting / astigmatism LGT voltage level all at once, and the character pattern read one by one drives a liquid crystal display panel. In addition, since each character consists of two or more Rhine perpendicularly, it needs to repeat the above-mentioned control only several Rhine minutes of a character for every display line, and needs to perform it.

[0003] When scrolling continuously two or more characters on the display screen by the alphabetic character the left or rightward with the liquid crystal display control unit using a character code here, there are two kinds of following implementation means. the read-out starting address of the display address counter which reads DDRAM the first -- a sequential increment -- or it displays and scrolls, carrying out a decrement and shifting the read-out location of one character of DDRAM at a time right and left. Moreover, the second scrolls, rewriting by CPU shifting the character code of one character in DDRAM at a time the left or rightward. Although the burden of the former of CPU is light, two or more display lines of all of the display screen will scroll it to coincidence. Moreover, although the latter can scroll only the specific display line alternatively, whenever it shifts one character, it is necessary to rewrite all the character codes in DDRAM corresponding to the scrolling display line, and the burden of CPU becomes large. Since the former and the latter can furthermore scroll only in character, if two or more characters are scrolled continuously, a graphic character will not move to right and left smoothly on the display screen, but will become a discrete unnatural scrolling display.

[0004] On the other hand, in the liquid crystal display control unit of the bit map format as another gestalt of a display control, smooth scrolling (it is only described also as smooth scrolling below) can be performed visually. That is, using the liquid crystal display control unit which carried the bit map memory

(it abbreviates to BPRAM hereafter) which has lighting / astigmatism LGT information on a display in each pixel unit, the CPU itself generates a character pattern, it writes a character pattern in direct BPRAM, and shifts and rewrites 1 pixel of data in BPRAM corresponding to a further specific display line at a time right and left. However, in this case, compared with the liquid crystal display control unit using a character code, it having to have mass BPRAM and CPU need to rewrite the data of BPRAM frequently, the point of the burden of CPU increasing remarkably must be taken into consideration, and if high CPU of a throughput is not used for performing smooth scrolling efficiently, practical use is not borne. in addition, the "microcomputer handbook" published from Ohm-Sha, Ltd. on December 25, Showa 60 as an example of the reference with which the display-control technique of a character generator method and a bit map was indicated -- there is the 171st page.

[0005]

[Problem(s) to be Solved by the Invention] Smooth scrolling could not be performed in the liquid crystal display control unit having the character generator of the conventional dot-matrix method, and such smooth scrolling was not able to be alternatively performed only to the specific display line, either. Such smooth scrolling was not able to be alternatively performed only to the specific display digit of the further specific display lines, either. Although the scrolling display of the display line of arbitration is realizable with software in the liquid crystal display control device which carried BPRAM since all CPUs have managed character pattern data, CPU will need to rewrite all the contents of BPRAM corresponding to the scrolling display line, whenever it moves 1 pixel, and the burden of CPU will become remarkably large.

[0006] Furthermore, when a liquid crystal display control device operated in response to control of a CPU like a microcomputer or a data processor, if the interface procedure for transmission of the read/write information on Display RAM or control data is special, in order to control the liquid crystal display control device concerned, the width of face of selection of available CPU was also restricted, and it was found out by this invention person that the burden of CPU also increases further. When solving the point also in relation with the above-mentioned smooth scrolling, the transmission efficiency of control information required in order to perform smooth scrolling per the arbitration display line, an arbitration display digit, and dot of arbitration could be raised, and leading to derating of CPU was found out by this invention person.

[0007] The purpose of this invention is to offer the display control which can realize smooth scrolling in the display control in a character generator format. Another purpose of this invention is to offer the display control which can realize the above-mentioned smooth scrolling to the display line of arbitration. Moreover, it is in offering the display control which can realize the above-mentioned smooth scrolling to the display digit of arbitration. Still more nearly another purpose of this invention is to offer the display control which mitigates the burden of CPU and can realize the above-mentioned smooth scrolling. Other purposes of this invention are to offer the display control contributed to extending the room of selection of CPU which can be used for the above-mentioned smooth scrolling also in the point of an interface with CPU. The purpose of others of this invention can perform an interface with a CPU like a data processor or a microcomputer using a mere serial clock, and is to offer the display control which does not restrict CPU available as a control subject substantially.

[0008] The other purposes and the new description will become clear from description and the accompanying drawing of this specification along [ said ] this invention.

[0009]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0010] namely, the pattern which becomes the display device of a large number arranged in the shape of a dot matrix in the crossover location of a scan electrode and a signal electrode from two or more pixels -- a predetermined digit count -- with -- \*\*\*\* -- the display control which carries out a display control with the 1st drive circuit which carries out the time-sharing drive of the above-mentioned scan

electrode The 2nd drive circuit which holds a pixel data stream for every drive change-over spacing of the above-mentioned scan electrode, and drives the above-mentioned signal electrode, The pattern data memory which outputs the pixel data of the display pattern according to the code data read from the display RAM which can store the code data more than the above-mentioned predetermined digit count, and the above-mentioned display RAM one by one, The pixel data stream by which a sequential output is carried out from the above-mentioned pattern data memory is inputted, and timing which supplies this to the drive circuit of the above 2nd is \*\*\*\*\* carried out by the pixel data unit. The pixel data stream supply circuit in which an output is possible in the 2nd drive circuit, The amount of gaps of the output timing of the above-mentioned pixel data stream supply circuit is constituted including the amount control means of scrolling controlled to adjustable.

[0011] In order to make adjustable the display line which should scroll, the scrolling display line control means which controls to adjustable the display line of the pixel data stream which should shift output timing by the pixel data stream supply circuit is adopted further.

[0012] In order to make the above-mentioned pixel data stream supply circuit into a shift type of circuit, it can constitute "Resemble the selection circuitry which chooses one from the input of each storage stage of the shift circuit which holds to a serial the pixel data stream by which a sequential output is carried out from the above-mentioned pattern data memory one by one per pixel, and the above-mentioned shift circuit, or an output node, and is considered as an output." In this case, in order to guarantee a high degree of freedom to a setup and its modification timing of the amount of gaps of a pixel data stream and to enable it to specify a scrolling mode as arbitration, the 1st storage means which memorizes possible [ rewriting of the amount of scrolling for directing the amount of gaps of the output timing in the above-mentioned data stream supply circuit ] as an amount control means of scrolling, and is given to the above-mentioned selection circuitry is employable. moreover, in the configuration, to the amount control means of scrolling for enabling assignment of a scrolling line with arbitration The 2nd storage means memorized possible [ rewriting of a scrolling line ] and the line detector which detects whether the current display line is in agreement with the scrolling line specified with the 2nd storage means, When coincidence is detected in a top Noriyuki detector, the gate circuit which enables supply of the amount of scrolling which the storage means of the above 1st holds to the above-mentioned selection circuitry can be adopted.

[0013] Furthermore, the 3rd storage means memorized possible [ rewriting of the scrolling digit which scrolls among scrolling lines in the configuration ], The digit detector which detects whether it is in agreement with the scrolling digit as which the current display digit was specified with the 3rd storage means, and the gate circuit which enables supply of the amount of scrolling which the storage means of the above 1st holds to the above-mentioned selection circuitry when coincidence detection is carried out in the above-mentioned line detector and a digit detector are employable.

[0014] It is employable in the generating circuit of the scrolling periodic signal for specifying a scroll rate, i.e., the spacing time amount of scrolling actuation, in the amount control means of scrolling for [ of a scroll rate and the amount of scrolling ] updating autonomously serially, and the scrolling counter which updates and outputs the amount of scrolling which directs the amount of gaps of the output timing of the above-mentioned data stream supply circuit while synchronizing with change of the above-mentioned scrolling periodic signal. In order to make the autonomous control action perfect furthermore The 1st control information for specifying the period of a scrolling periodic signal to the generating circuit of the above-mentioned scrolling periodic signal, The 4th storage means memorized possible [ rewriting of the 2nd control information which shows the count direction over the above-mentioned scrolling counter, and the 3rd control information which directs the whole amount of scrolling ], The scrolling termination detector where the output of the above-mentioned scrolling counter detects having reached the 3rd control information memorized by the storage means of the above 4th, and resets a scrolling counter can be added further.

[0015] When CPUs, such as an external data processor and a microcomputer, carry out a data setup to

the above 1st, 2nd, or 3rd storage means, it has an interface means with that. The internal bus with which this interface means was combined with the input of the above-mentioned storage means, A serial clock input terminal, a serial data input terminal, and the serial store circuit that consists of two or more latch circuits combined with the serial data input terminal, The parallel data latch circuit by which each output node of the latch circuit of predetermined two or more stages included in the above-mentioned serial store circuit was combined with the juxtaposition input terminal, and the juxtaposition output terminal was connected to the above-mentioned internal bus, The sync bit train detector which outputs the 1st signal when they are predetermined logical values in juxtaposition in response to the fact that the output of the latch circuit by which an output is combined with the input of the above-mentioned juxtaposition latch circuit, and other latch circuits, The access-control information latch circuit which incorporates the storage information on latch circuits other than the latch circuit by which the output was combined with the input of the above-mentioned logical circuit with the 1st signal, the 1st signal of the above -- counting -- actuation is reset and it can constitute "resemble the transfer sequence control counter which controls the latch timing of the above-mentioned parallel data latch circuit according to the enumerated data."

[0016] When this interface means supports data output, further, while an input is combined with an internal bus by juxtaposition with a serial data output terminal, an output is combined with a serial data output terminal, it has further the parallel/serial-conversion circuit where a serial output synchronizes with the above-mentioned serial clock signal, and the above-mentioned transfer sequence control counter generates the control signal which controls the output initiation timing of the above-mentioned parallel/serial-conversion circuit according to those enumerated data.

[0017]

[Function] According to the above-mentioned means, the amount control means of scrolling controls how much the supply timing of a pixel data stream is shifted for example, by the pixel data unit, and let the pixel data stream for the 2nd drive circuit being passed by this from a pixel data stream supply circuit, and driving a signal electrode by it be the thing and equivalence by which the predetermined part was started from pattern data memory to the pixel data stream by which sequential generating is carried out. In the predetermined display line, smooth scrolling in the pixel unit to the direction of a display digit is realized by giving by this the directions which make the above-mentioned amount of gaps fluctuate for every display period of a multiple frame from the amount control means of scrolling. For example, when a scrolling control means is constituted by the 1st storage means like the amount register of scrolling dots, CPU can carry out smooth scrolling of the predetermined display line, if the amount of scrolling of the 1st storage means concerned is rewritten periodically. There is no necessity of performing rewriting or the rate of change of the amount of gaps of a scrolling dot per 1 pixel, and it can be performed to arbitration per a number smaller than the number of the direction dots of a digit of a single pattern of two or more pixels.

[0018] When the scrolling display-line control means is adopted, the above-mentioned smooth scrolling is realized to the single or two or more display lines which were specified by it.

[0019] Assignment of the above-mentioned amount of gaps may be fixed for every number of fixed pixels, and the line for scrolling may also be immobilization. being able to specify programmably the display line for scrolling, and the amount of scrolling according to the set point over it, and increasing gradually or dwindling the above-mentioned amount of gaps, if it is in the configuration which adopts the 1st storage means and the 2nd storage means -- scrolling -- right and left -- it is supposed that it is free in any direction. Moreover, if it is in the configuration which adopts the 3rd storage means, it is possible to scroll only the display digit of arbitration among the display lines for scrolling.

[0020] If it is in the above-mentioned smooth scrolling in a character generator format, when performing the above-mentioned scrolling, it is not necessary to rewrite the data in the display RAM which stores a character code, and the burden of CPU can be mitigated in this point, and that software processing can be simplified. Moreover, since serial rewriting of a bulk memory like bit map memory is not required, the

burden of CPU is mitigated compared with the display control of a bit map format, and the above-mentioned smooth scrolling is realized.

[0021] If the amount control means of scrolling for [ of a scroll rate and the amount of scrolling ] updating autonomously serially is adopted, CPU does not need to perform time management for not requiring performing serially processing which rewrites a value, processing, for example, the 1st storage means, of changing the amount of scrolling for every scrolling in 1 pixel or several pixel unit, and carrying out spacing of such rewriting, i.e., spacing of each scrolling actuation, at equal intervals. This mitigates the burden of CPU concerning smooth scrolling remarkably. once CPU sets up necessary control information by including in the amount control means of scrolling to the function which resets a scrolling counter -- the required total amount of scrolling -- with -- \*\*\*\* -- control of smooth scrolling is completed.

[0022] Resetting a transfer sequence control counter synchronizing with detection of the sync bit train which synchronized with the serial clock signal, for example, controlling the data transmission in a cutting tool unit acts on the appearance to which a transmission protocol is normally returned in response to detection of the following sync bit train, even if a gap of the data bit between CPUs arises. Supervising the access-control information which continues in response to the input from a serial input terminal at a sync bit train and it during the read-out actuation by CPU through a serial data output terminal carries out the change of writing and read-out to implementation by three interface signals, a serial clock signal, a serial input signal, and a serial output signal.

[0023]

[Example] The block diagram of the system using the liquid crystal display control device concerning one example of this invention is shown in drawing 1 . Although especially this system is not restricted, it consists of CPU1 (central processing unit) and the liquid crystal display panel (it is described also as the LCD panel) 3 as the data processor which controls actuation of the liquid crystal display control device 2 and this liquid crystal display control device 2, or a microcomputer. The liquid crystal display control unit 2 is equipped with the character generator ROM 5 (read only memory) for developing a dot-matrix-like character-font pattern from the character code specified as the display RAM 4 (random access memory) which memorizes the character code of the alphabetic character which actually displays on a liquid crystal screen.

[0024] Although especially the liquid crystal display panel 3 is not restricted, it consists of dot-matrix molds, the segment electrode as the common electrode and signal electrode as a scan electrode is arranged in crossover in X and the direction of Y, and the liquid crystal display component for 1 dot is formed in each crossover location. When the sequential drive of the common electrode is carried out, lighting or the astigmatism LGT of a display device corresponding to the common electrode concerned to drive is determined by the status signal given to a segment electrode. Although not restricted especially, if this example is followed, the liquid crystal display panel 3 will have the viewing area which can perform character representation by 12 figures [ a maximum of ] four lines, and the number of dots per graphic character (the number of display devices) will be made into horizontal x length =5x8 dot. If this is followed, the liquid crystal display panel 3 has 32 common electrodes and 60 segment electrodes.

[0025] CPU1 can display the alphabetic character of arbitration on the location of arbitration by writing the character code of the alphabetic character which should be displayed in display RAM 4. Display RAM 4 has the storage region which can store the character code more than the maximum display digit which can be displayed on the liquid crystal display panel 3 corresponding to the scrolling direction mentioned later. For example, it is made storable [ 20 figure the character code for four lines ].

[0026] The writing to display RAM 4 is performed to the address specified with the CPU address counter 6. Whenever CPU1 can preset the initial address value of the arbitration to this CPU address counter 6, and CPU1 writes it in display RAM 4 henceforth and it gives directions, synchronizing with it, increment actuation of the CPU address counter 6 is carried out, and it generates the required address inside. The address signal outputted from the CPU address counter 6 is supplied to display RAM 4



through a selection circuitry 9. The graphic-character code as write-in data at this time is given from CPU1 etc. through the CPU interface 7. The information transmission between the liquid crystal display control unit 2 interior and CPU1 is performed via the CPU interface 7.

[0027] The address counter 8 for a display generates the read-out address of the display RAM 4 in a display action. That is, this address counter 8 for a display performs decrement actuation one by one synchronizing with a display action, and outputs that value. The outputted value is supplied to display RAM 4 through a selection circuitry 9, and a graphic-character code (it is described also as a character code) is read from the display RAM 4 concerned. Although not restricted especially, if this example is followed, a graphic-character code will be made into 8 bits.

[0028] Although rewriting of the data in the display RAM 4 by CPU1 or read-out access (CPU access), and especially access (display access) that reads and carries out the data in display RAM 4 in order to perform a liquid crystal display are not restricted, it is carried out to time sharing by turns, and change control also of the selection condition of a selection circuitry 9 is carried out by turns synchronizing with it. The timing generating circuit 26 mentioned later performs this control.

[0029] The character code read from the display RAM 4 at the time of a display action is made into a part of access address signal to a character generator ROM 5, and the remainder of the access address signal concerned is considered as the output of the Rhine address counter 30.

[0030] The above-mentioned character generator ROM 5 stores font pattern data, such as an alphabetic character, the alphabet, katakana, a hiragana, a kanji, and a notation. A character code is assigned to each alphabetic character although not restricted especially. Although not restricted especially, width is constituted by 5 dots and, as for each alphabetic character, length is constituted by 8 dots. Read-out of a character generator ROM 5 is made possible in the font data of one alphabetic character specified by the character code by total of eight lead actuation per 5 dots (they will be 5 bitwises if this example is followed). That is, a character generator ROM 5 makes 8 bits the character code read from the above-mentioned display RAM 4 the high order side of the address, and read access of the output of the Rhine address counter 30 is carried out as a low order side triplet of the address. It is considered that the character code which constitutes 8 bits the high order side of the address is a signal for specifying an alphabetic character, and it is considered. [ the output of the triplet of the Rhine address counter 30 ] [ a signal for specifying at a time a part for the length / of eight lines / of one line of the character font specified by the character code ]

[0031] The font pattern data (read-out of such font pattern data is also called expansion of a font pattern) read from the character generator ROM 5 It is changed into serial data and is serially sent to the segment side shift register 12 (it will be 60 bits if this example is followed) through the scrolling register 11 mentioned later in the parallel/serial-conversion circuit 10. When the data for 1 line (the one scanning line or the common electrode of the liquid crystal display panel 3) are all stored in the segment side shift register 12 concerned, the data concerned are made to latch to the segment latch circuit 13, and the segment liquid crystal driver 14 is supplied. The segment liquid crystal driver 14 forms the segment driving signals SEG1-SEG60 which control each display device (lighting) of a liquid crystal display panel, i.e., selection of each pixel, or un-choosing (astigmatism LGT) based on the output data of the above-mentioned segment latch circuit 13, and drives the segment electrode of the liquid crystal display panel 3. The common electrode of each Rhine is driven in time sharing one by one with the common driving signals COM1-COM32 formed of the common side shift register 19 and the common liquid crystal driver 18.

[0032] The timing generating circuit 26 which inputs the oscillation output of the CR oscillator circuit 15 generates the internal time of the liquid crystal display control unit 2. The timing signal which this generates generates the shift timing of the increment timing of the address counter 8 for a display, and the Rhine address counter 30, the shift timing of the common side shift register 19, the scrolling shift register 11, and the segment side shift register 12, the latch timing of the segment latch circuit 13, etc. The shift timing of the scrolling shift register 11 and the segment side shift register 12 is prescribed by

the dot clock. Such various timing synchronizes timing of operation, such as the common liquid crystal driver 18 and the segment liquid crystal driver 14, with actuation of the address counter 8 for a display, or the Rhine address counter 30, and it determines the drive timing of the sequential drive of a common electrode, and a segment electrode so that the data read from a character generator ROM 5 one by one can be displayed on the location where it should be displayed.

[0033] In drawing 1, 24 is an instruction register group, and they are set up by CPU1 through the CPU interface 7 including control registers, such as the liquid crystal display control register 13, the scrolling display line assignment register 15, and the amount register 16 of scrolling dots. When scrolling right and left on the liquid crystal display panel 3, CPU1 writes scrolling information in the scrolling display line assignment register 15 which specifies the display line which scrolls, and the amount register 16 of scrolling dots which specifies the amount of scrolling per pixel through the CPU interface 7. In this case, it is not necessary to rewrite the character code data in display RAM 4. The information stored in the scrolling display line assignment register 15 and the amount register 16 of scrolling dots is supplied to the scrolling control circuit 17 which performs scrolling control, and this scrolling control circuit 17 controls the above-mentioned scrolling shift register 11.

[0034] The detailed circuit diagram for scrolling is shown in drawing 2. When carrying out 4 line displays of the character font pattern which consists of 5x8 dots perpendicularly, since each graphic-character line becomes eight lines, the common liquid crystal driver 18 has a total of 32 drive circuits. This common liquid crystal driver 18 outputs the common driving signals COM1-COM32 to the common electrode of the liquid crystal display panel 3, and supplies a selection voltage level to the common electrode for 32 lines from the 1st character row to the 4th character row in time sharing. The sequence that the common liquid crystal driver 18 outputs a sequential selection voltage level is controlled by the common side shift register 19.

[0035] This common side shift register 19 has 32 steps of storage stages in a serial, for example, the bit data of a predetermined logical value (for example, logical value 1) shift it one step at a time for every one-line drive. After the above-mentioned bit data are shifted to the last stage, the timing generating circuit 26 supplies the above-mentioned bit data to the first rank again succeeding, and actuation is repeated cyclically. Since the above-mentioned common side shift register 19 makes sequential selection from the 1st character row to the 4th character row, it can recognize what graphic-character line is chosen now by referring to it. Then, as shown in drawing 3, the common side shift register 19 carries out the sequential output of the display-line signals  $\phi 1$ - $\phi 4$  on display now. For example, he can understand the 1st line status signal  $\phi 1$  as a signal which took the OR to the output of each storage stage from the first rank of a shift register 19 to the 8th step. The scrolling control circuit 17 has the line coincidence detector 20 which detects the case where bit correspondence compares the 4-bit display line signals  $\phi 1$ - $\phi 4$  outputted from this common side shift register 19, and the set point of 4 bits of the scrolling display line assignment register 15, and each is in agreement with a logical value 1. If this comparison result is in agreement, the scrolling line coincidence signal  $\phi 5$  outputted from the line coincidence detector 20 as shown in drawing 3 will be set to only that period being high-level. For example, 4 bits of the scrolling display line assignment register 15 are made into the assignment bit of the 1st graphic-character line to the 4th graphic-character line, and it is considered that each 4-bit bit set as the scrolling display line assignment register 15 is assignment of scrolling of a logical value 1. The line coincidence detector 20 acquires one scrolling line coincidence signal  $\phi 5$  by taking the AND of the bit of the assignment register 15 concerned, and the status signal of a correspondence line, respectively, and taking one OR to the 4-bit AND signal.

[0036] Although especially the above-mentioned amount register 16 of scrolling dots is not restricted, it considers as 6 bits and each bit is inputted into a gate circuit 31. This gate circuit 31 is transmitted to the scrolling shift register 11 by making the output of the amount register 16 of scrolling dots into the amount indication signal SEL of scrolling dots, when the above-mentioned scrolling line coincidence signal  $\phi 5$  is high-level. When the scrolling line coincidence signal  $\phi 5$  is a low level, as for a gate

circuit 31, a total of 6 bits supplies the signal SEL of a logical value 0 to the scrolling shift register 11. Six 2 input AND gates which undergo the output of the amount register 16 of scrolling dots for every bit, and receive the scrolling line coincidence signal phi 5 in common, respectively can constitute such a gate circuit 31. Therefore, the amount the data of scrolling dots stored in the amount register 16 of scrolling dots are supplied to the scrolling shift register 11 as an amount indication signal SEL of scrolling dots, only when the display line in a panel 3 is in agreement with the scrolling line specified with the register 15.

[0037] The above-mentioned scrolling register 11 is constituted by two or more steps of latch circuits 22 and the multiplexer 21 by which the series connection was carried out. Each latch circuit 22 memorizes the bit data for 1 dot, respectively, and synchronizing with the output of the parallel/serial-conversion circuit 10, if it puts in another way, it transmits the serial data outputted from the parallel/serial-conversion circuit 10 concerned to the latter part one by one synchronizing with the dot clock. A multiplexer 21 undergoes the output of the parallel/serial-conversion circuit 10, and the output of each latch circuit 22, chooses one of any inputs of them based on the decoding result of the 6-bit output of the above-mentioned gate circuit 31, and supplies them to the segment side shift register 12. When the output of the above-mentioned gate circuit 31 is the total bit logical value 0 at this time and scrolling will not be performed if it puts in another way, a multiplexer 21 chooses the output of the parallel/serial-conversion circuit 10, and it chooses the output of the latch circuit 22 by the side of the latter part, so that the output value of a gate circuit 31 will be enlarged, if it puts in another way so that there are many amounts of scrolling specified with the amount register 16 of scrolling dots.

[0038] Thus, if the comparison result in the above-mentioned line coincidence detector 20 is in agreement, only the period is made high-level, a multiplexer 21 will choose the result to which only the number of scrolling pixels set up with the amount register 16 of scrolling dots was shifted with the scrolling shift register 11, and the scrolling line coincidence signal phi 5 outputted from this circuit 20 will output a character pattern to the segment side shift register 12. For example, when 5 pixels scrolls in the moment there is a display period, the character pattern data shifted by five steps of latch circuits 22 in the scrolling shift register 11 are chosen by the multiplexer 21, and it outputs to the segment side shift register 12.

[0039] Here, display RAM 4 has the storage region which can store 20-figure [ a maximum of ] the character code for four lines as mentioned above. Read access of the display RAM 4 by the address counter 8 for a display by which decrement actuation is carried out is performed in the sequence of reaching [ from the storage region of the 20th figure ] the storage region of the 1st figure for example, in each line. Moreover, although said segment side shift register 12 consists of 60 bits corresponding to 12 figures which is the maximum display digit of the liquid crystal display panel 3, timing which transmits the pattern data for 1 display Rhine to the segment latch circuit 13 from the segment side shift register 12 is carried out to whenever the segment side shift register 12 performs a shift action 100 times corresponding to the maximum storage digit count of display RAM 4. Such a shift action is performed like latch actuation of a latch circuit 22 synchronizing with a dot clock. Therefore, if the pattern data for 1 display Rhine are outputted from the scrolling register 11 behind time several predetermined dot minutes, the display shifted leftward in drawing 2 only several of the dot minutes will be realized. If a predetermined time interval, for example, the display period of a multiple frame, is placed and the value of the amount register 16 of sequential scrolling dots is enlarged one by one, scrolling of the dot unit to the left of drawing 2 will be realized (if the latter latch circuit output is chosen one by one). On the contrary, if the decrement of the initial value of the amount register 16 of scrolling dots is carried out one by one, scrolling to the right will be realized.

[0040] Since a scrolling line coincidence signal is still a low level when the line specified with the scrolling display line assignment register 15 and a line on display are not in agreement, scrolling is not performed but it becomes the usual display. That is, character pattern data are outputted to the segment side shift register 12 from the direct multiplexer 21 not passing through the latch circuit 22 in

the scrolling shift register 11.

[0041] The scrolling display line assignment register 15 can be set up per display line. For example, when performing four line displays, it has the 4-bit information that it became independent. Therefore, since scrolling can be specified independently to each display line, a multi-line can be scrolled to coincidence. Moreover, since the number of pixels which scrolls by changing the set point of the amount register 16 of scrolling dots can be specified as arbitration, this set point can be periodically scrolled right and left a sequential increment or by carrying out a decrement. Moreover, by adjusting spacing of the increment of this set point, or a decrement, the rate which scrolls is changeable. By combining the above-mentioned scrolling display line assignment register 15 and the amount register 16 of scrolling dots, smooth scrolling only of the display line of arbitration can be carried out alternatively at right and left.

[0042] The condition at the time of scrolling independently is shown to drawing 4 by each display-line unit. 4 bits of the scrolling display line assignment register 15 support the display line of the liquid crystal display panel 3, respectively. As shown in (A) of drawing 4, when all the contents of the scrolling display line assignment register 15 are "0", scrolling is not performed even if the amount of scrolling dots is specified with the amount register 16 of scrolling dots. As shown in (B) of drawing 4, when the 2nd bit of the scrolling display line assignment register 15 is "1", according to the set point of the amount register 16 of scrolling dots, scrolling only of the display line corresponding to this bit is enabled. Moreover, as shown in (C) of drawing 4, when two bits are set to "1", scrolling of the display line corresponding to these two bits in a line unit is enabled respectively at coincidence. The display condition of the specified display line has shifted to the left-hand side of drawing in proportion to the amount of scrolling dots so that clearly from drawing 4.

[0043] The example of a display at the time of changing the amount of scrolling to drawing 5 is shown. Scrolling of the pixel unit specified with the amount register 16 of scrolling dots is enabled. By carrying out sequential increment of the set point of the amount register 16 of scrolling dots periodically, the display line by which scrolling assignment was carried out can be smoothly scrolled leftward on the liquid crystal display panel 3. In addition, in drawing 5, the 2nd line (abcdefgh) is scrolled and the condition that other lines are not scrolled is shown. Namely, as for drawing 5 (B), drawing 5 (C), and drawing 5 (D), the 2nd line is scrolled to drawing 5 R> 5 (A), respectively.

[0044] The software control procedure in CPU1 for performing smooth scrolling for 8 pixels to drawing 6 to the specific display line succeeding a 1-pixel unit is shown. Before starting scrolling, the amount register 16 of scrolling dots is cleared, and the amount of scrolling dots is set to "0." The display line which furthermore scrolls is set as the scrolling display line assignment register 15. Scrolling is started by setting scrolling for 1 pixel as the amount register 16 of scrolling dots. By changing a setup and going so that the amount of scrolling dots of the amount register 16 of scrolling dots may furthermore be increased one by one, smooth scrolling to the left can be performed per pixel. Moreover, continuous smooth [ rightward ] scrolling can be performed by changing a setup so that the amount of scrolling dots of the amount register 16 of scrolling dots may be reduced one by one. Moreover, in order to perform smooth smooth scrolling in relation with the reaction rate of liquid crystal, it is necessary to insert interval time amount (wait step Sw) in the timing which performs the increment or decrement of the amount register 16 of scrolling dots. The liquid crystal display control device 2 repeats and displays the same frame in this interval period. The execution time of smooth scrolling is changeable because CPU1 adjusts this interval time amount.

[0045] Transfer of the data between CPU1 and the liquid crystal display control device 2 is performed through the CPU interface 7 in the liquid crystal display control device 2. The liquid crystal display control device 2 is equipped with a total of three interface signals of the serial transmission clock input terminal (it omits Following SCLK) in which the incorporation timing or read-out timing of a serial data output terminal (it abbreviates to SOD hereafter) for the serial data input terminal (for it to abbreviate to SID hereafter) for writing in data and CPU1 to read data from CPU1 and the above-mentioned input data in the liquid crystal display control device 2 is shown.

[0046] The write-in procedure which used the above-mentioned interface signal for drawing 7 is shown, and the read-out procedure is shown in drawing 8. Synchronizing with a serial transmission clock (SCLK), the interface of the data inputted or (SID) outputted (SOD) is carried out. CPU1 inputs a start cutting tool from a SID terminal first at the time of initiation of a transfer. The CPU interface 7 recognizes it as the start cutting tool having been started, when "1" is inputted continuously. [ 5-bit ] This 5-bit continuous "1" data stream is defined as a sync bit train. If a sync bit train is recognized, the CPU interface 7 will consider that the following bit is RS bit to a R/W bit and a pan for the bit following a sync bit train, and will memorize the condition of an input bit. In addition, a start cutting tool's last bit needs to input "0." It is because it will be recognized as their being sync bit trains if the last bit concerned is "1" when the 4-bit low order data D0-D3 following the degree are all bit "1." CPU1 is the read/write (bit which directs read-out/writing) to the liquid crystal display control device 2, and the above-mentioned R/W bit means writing at the time of "0", and means read-out at the time of "1." Furthermore, the above-mentioned RS bit is a bit which chooses a register, means selection of the CPU address counter 6 or the instruction register group 24 at the time of "0", and means selection of display RAM 4 at the time of "1." The instruction register group 24 consists of the scrolling display line directions register 15, the above-mentioned amount register 16 of scrolling dots, and the various above-mentioned liquid crystal display control registers 23.

[0047] When the relation between above-mentioned R/W and RS bit, and a mode of operation is summarized here, at the time of R/W bit =0 and RS bit =0 It considers as the mode of operation of the set point writing to the CPU address counter 6 and the instruction register group 24. At the time of R/W bit =0 and RS bit =1 It considers as the mode of operation of the data writing to display RAM 4. At the time of R/W bit =1 and RS bit =0 It considers as the mode of operation of counted value read-out from the CPU address counter 6, and is made into the mode of operation of data read-out from display RAM 4 at the time of R/W bit =1 and RS bit =1.

[0048] If writing is specified in the R/W bit in a start cutting tool, a 8-bit data stream will be written in by 2 bytes (16 bits) following the start cutting tool. That is, a 8-bit data stream is divided into two at the data stream of 4 bits of upper and lower sides, the data stream of 4 bits of low order and 4-bit continuous "0" trains are inputted from a start cutting tool's next cutting tool (lower byte), and the data stream of 4 bits of high orders and 4-bit continuous "0" trains are further inputted from the next cutting tool (high-order byte). Therefore, "1" does not continue on SID except a sync bit train. [ 5 bits or more ]

[0049] Moreover, if read-out is specified in the R/W bit in a start cutting tool, a 8-bit data stream will be continuously read from a SOD terminal by 1 byte (8 bits) following the start cutting tool. Also in the midst which has read the data stream from the SOD terminal, the 5-bit sync bit train inputted from SID is supervised. It reads to drawing 9, and writes in from a sequence, and the modification procedure to a sequence is shown. For example, by the 1st byte, the first start cutting tool's R/W bit is set to "1", RS bit is set to "0", and the contents of the CPU address counter 6 are read by the 2nd byte. By the 2nd byte which is performing this read-out, the next start cutting tool's R/W bit is set coincidence, "0" and RS bit are set to "1", and data are written in display RAM 4 by the 4th byte with the 3rd byte. Thereby, the change of writing and read-out is realizable with three interface signals of SCLK, and SID and SOD. In addition, when data do not need to be read from the liquid crystal display control device 2, an interface can be carried out with two terminals, SCLK and SID.

[0050] By adopting the procedure of such an interface, an information transmission can be performed for every above-mentioned mode of operation synchronizing with a mere clock signal. If it puts in another way, the dedication data transmission protocol using a special wave-like clock signal or a special wave-like timing signal is not needed. Therefore, CPU1 which controls the liquid crystal display control unit 2 of this example can increase the versatility over CPU that it can use broadly by any CPUs that what is necessary is just to have general serial interface or a general port.

[0051] The block diagram within the CPU interface 7 is shown in drawing 10. The data inputted from

the SID terminal are serially incorporated by latch circuit (1) 51– latch circuit (8) 58 by which cascade connection was carried out by the leading edge of SCLK. When the output of the data incorporated by latch circuit (4) 54– latch circuit (8) 58 is monitored continuously and the whole of the output is set to "1", it is considered that the start synchronous detector 59 is a sync bit train. When a sync bit train is detected, it considers at the time that the output data of latch circuit (2) 52 and latch circuit (3) 53 are RS bit and a R/W bit, respectively, and the output is latched to the RS latch circuit 61 and the R/W latch circuit 60.

[0052] The transfer bit counter 62 generates the latch timing for incorporating the data stream of 4 bits of effective low order, and the data stream of 4 bits of high orders to the low order data latch circuit 63 and the high order data latch circuit 64, respectively from the inputted data stream. The above-mentioned transfer bit counter 62 is serially counted up by SCLK. The output from the RS latch circuit 61, the R/W latch circuit 60, the above-mentioned low order data latch circuit 63, and the above-mentioned high order data latch circuit 64 is supplied to each block of the RS signal, R/W signal, DB0 – DB7 signal, and liquid crystal display control-device 2 interior.

[0053] Moreover, by the sync bit train detected in the above-mentioned start synchronous detector 59, the transfer bit counter 62 is reset compulsorily and initialized. When the transfer condition of a power up is an indeterminate, or when the data stream which a noise treats with the data stream which a paste CPU 1 treats, and the CPU interface 7 causes a bit gap to a serial transmission clock input terminal (SCLK) during a transfer, a transfer procedure can be returned to an all seems well by initializing the transfer bit counter 62 in a sync bit train.

[0054] Read-out of serial data outputs the data by which serial out was carried out from the parallel/serial-conversion circuit 65 by the falling edge of the clock inputted from the serial transmission clock input terminal SCLK to CPU1 from a SOD terminal. The data supplied from each block of the liquid crystal display control-device 2 interior are loaded to the parallel/serial-conversion circuit 65 through DB0–DB7. This load timing is supplied to a cutting tool unit from the above-mentioned transfer bit counter 62. In addition, CPU1 incorporates the serial data outputted from the SOD terminal by the leading edge of SCLK.

[0055] When the R/W bit and RS bit in a start cutting tool do not need to be changed, two or more cutting tool information can be transmitted continuously. For example, if a R/W bit is first set from a start cutting tool and "0" and RS bit are set as "1" when rewriting continuously two or more cutting tools of display RAM 4 collectively, the data in display RAM 4 can be continuously rewritten without a start cutting tool after that. Since the CPU address counter 6 which supplies the rewriting address of display RAM 4 at this time is automatically incremented for every 1-byte rewriting, CPU1 does not need to re-set the CPU address counter 6 serially.

[0056] According to the above-mentioned example, there is the following operation effectiveness.

- (1) The scrolling display line assignment register 15 for scrolling right and left alternatively per display line and the amount register 16 of scrolling dots can be adopted, and only the display line of arbitration can be alternatively scrolled the left or rightward per pixel by forming the line coincidence detector 20 for detecting whether it is the display line to which a display line present on display should scroll, and the scrolling shift register 11 for shifting the character pattern to display per pixel.
- (2) Thereby, smooth scrolling is realizable to the specific display line. Compared with scrolling for every character pattern, display quality improves remarkably.
- (3) When performing the above-mentioned scrolling further, it is not necessary to rewrite the data in the display RAM 4 which stores a character code, and the burden of CPU1 can be mitigated in this point, and that software processing can be simplified.
- (4) For example, when performing the information display of a property which is different for every display line in the display tooth space restricted in small devices, such as a portable telephone, sequential scrolling only of the necessary display line can be carried out, and the contents can be displayed. This can raise easily the engine performance or the amount of information displays of the

information display to a small display, and it can conform now to the information display by the future various data utility especially in a pocket communication terminal or a mobile telecom terminal. For example, it is a case so that a weather report and the information on traffic congestion may be indicated by sequential at the specific display line.

(5) By resetting the transfer bit counter 62 synchronizing with detection of the sync bit train which synchronized with the serial transmission clock, and controlling the data transmission in a cutting tool unit, even if a gap of the data bit between CPUs1 arises, in response to detection of the following sync bit train, a transmission protocol can be returned normally.

(6) Since the R/W bit which continues in response to the input from an input terminal SID at a sync bit train and it during the read-out actuation by CPU1 through an output terminal SOD is supervised, the change of writing and read-out is realizable with three interface signals of SCLK, and SID and SOD.

(7) By adopting the procedure of the above-mentioned interface, the information transmission which answers two or more modes of operation synchronizing with SCLK as a mere clock signal can be performed. If it puts in another way, the dedication data transmission protocol using a special wave-like clock signal or a special wave-like timing signal is not needed. Therefore, CPU1 which controls the liquid crystal display control unit 2 of this example can be broadly used now by any CPUs in the range comparatively large as a control subject of a liquid crystal display control unit that what is necessary is just to have general serial interface or a general port.

[0057] The example of a system configuration using the liquid crystal display control unit 104 concerning the 2nd example of this invention is shown in drawing 11. The same sign is given to the circuit block which has the same function as what was explained by drawing 1, and the detail explanation is omitted. The scrolling display bit-position-designation register 111 is added to the instruction register group 24 to the example explained by drawing 1. As for this scrolling display digit directions register 111, a value is set up by CPU1 through the CPU interface 7. That is, the display digit place information which scrolls is written in the scrolling display bit-position-designation register 111. In this case, scrolling of the pixel unit specified with the amount register 16 of scrolling dots is controlled to the display digit specified with the scrolling display bit-position-designation register 111 among the display lines specified with the scrolling display line assignment register 15. These scrolling is controlled by the above-mentioned instruction register group 24, the scrolling control circuit 115, and the scrolling shift register 11.

[0058] The detailed circuit diagram for the above-mentioned scrolling is shown in drawing 12. Although not restricted especially, the 2nd example makes an example the case where 8 figures of character font patterns of four lines which consist of 6x8 dots are displayed perpendicularly horizontally. Since each character row becomes eight lines, in four line displays, the common liquid crystal driver 18 has 32 drive circuits. Moreover, since it indicates by 8 figure by 6-dot width of face, the segment liquid crystal driver 14 has 48 drive circuits.

[0059] If the line coincidence detector 20 compares the 4-bit information set as the display line under present drive, and the scrolling display line assignment register 15 like the example of drawing 2 and a result is in agreement in drawing 12, the scrolling line coincidence signal phi 5 of drawing 13 will become high-level during the period. Moreover, if the digit coincidence detector 113 compares the display digit counter 112 present on display with the 8-bit information set as the scrolling display bit-position-designation register 111 and its result corresponds, the scrolling digit coincidence signal phi 6 of drawing 13 will become high-level during the period. In addition, the display digit counter 112 is a counter which carries out a decrement per alphabetic character for every line. A gate circuit 31 outputs the amount of scrolling dots of 6 bits specified with the amount register 16 of scrolling dots during the display line period which scrolls. Only the display digit period which scrolls outputs the amount of scrolling dots of the above-mentioned 6 bits, and a gate circuit 114 supplies it to the scrolling shift register 11. When the scrolling line coincidence signal phi 5 or the scrolling digit coincidence signal phi 6 is a low level, the mask of a gate circuit 31 or the gate circuit 114 is carried out so that all of 6 bits of the amount indication signal SEL of scrolling dots may become a logical value 0, and it supplies this signal SEL to

the scrolling shift register 11. Therefore, the amount the data of scrolling dots stored in the amount register 16 of scrolling dots are supplied to the scrolling shift register 11, only when a display line is in agreement with the scrolling digit specified with a register 111 in accordance with the scrolling line specified with a register 15 by the panel 3.

[0060] The above-mentioned example of timing generating is shown in drawing 13.  $\phi 1$  to  $\phi 4$  becomes high-level during the period currently respectively driven from the 1st line to the 4th line to time sharing. During the drive period of a display line when scrolling assignment of  $\phi 5$  was carried out with the scrolling display line assignment register 15 is set to high level. Moreover, during the drive period of a display digit when scrolling assignment of  $\phi 6$  was carried out with the scrolling display bit-position-designation register 111 is set to high level. The amount indication signal SEL of scrolling dots outputs the amount of scrolling stored in the amount register 16 of scrolling dots during the above-mentioned scrolling period, and let the other period be a logical value 0.

[0061] The example of a display which scrolls only some display digits to drawing 14 and drawing 15 is shown in (A) – (D) later on in order. The 2nd-line scrolling of a panel 3 is directed with the scrolling display line directions register 15, and scrolling at the 8th figure is directed from the double figures of a panel 3 with the scrolling display bit-position-designation register 111. And the amount of scrolling dots is increased for order later on like (A) – (D). Thereby, a scrolling indication of the seven characters of the double figures to the 8th figure of the 2nd line of a panel 3 is given in the amount of scrolling directed with the amount assignment register 16 of scrolling dots.

[0062] Although the above-mentioned scrolling display line assignment register 15 can be set up per display line, scrolling is not limited to a setup of the display digit unit by the display bit-position-designation register 111. For example, it is also possible to specify that a scrolling display digit register is constituted from 1 bit, and it can scroll digits other than the single figure at the left end of a panel 3. In this case, when that bit is 1, the display after the double figures of a panel 3 can be indicated by scrolling, and it can indicate by fixed, without scrolling the single figure of a left end. Moreover, when the bit is 0, all display digits can indicate by scrolling.

[0063] The example of a system configuration using the liquid crystal display control unit 102 concerning the 3rd example of this invention is shown in drawing 16. The same agreement is given to the circuit block which has the same function as what was explained by drawing 1, and the detailed explanation is omitted. Although especially the liquid crystal display panel 103 shown in this drawing is not restricted, it displays the font of 5x8 dots by 12 figures [ a maximum of ] one line, and has eight common electrodes and 60 segment electrodes. CPU1 writes the character code of the alphabetic character which should be displayed on the liquid crystal display panel 103 in display RAM 4 like the example of drawing 1. The written-in character code is serially outputted from display RAM 4 toward the 1st figure according to decrement actuation of the address counter 8 for a display from the 20th figure. The outputted character code is made into the address information of a character generator ROM 5 with the output of the Rhine address counter 30, and font data is outputted by this by 5 bitwises from a character generator ROM 5. The font data of these 5 bitwises is changed into serial data in the parallel serial conversion circuit 10, and is supplied to the segment liquid crystal driver 14 through the scrolling shift register 11 and the segment shift register 12.

[0064] In order to realize the above-mentioned smooth scrolling in this example, it replaces with the scrolling control circuit 17 and the instruction register group 24 of Fig. 1. Scrolling control information The scrolling period generating circuit 80 which generates the scrolling period for performing scrolling of the scrolling register 70 to memorize and a dot unit (pixel unit), the scrolling counter 90 which counts the amount of scrolling, and the scrolling termination detector 91 which detects scrolling termination are formed. It is a thing, as it will end and the burden of CPU1 is mitigated, if CPU1 performs initial setting to the scrolling register 70 on the occasion of smooth scrolling. CPU1 initializes the scrolling register 70 through the CPU interface 7.

[0065] The detailed configuration block Fig. for scrolling in this example is shown in drawing 17. The



above-mentioned scrolling period generating circuit 80 generates the scrolling periodic signal 81 for specifying, the spacing time amount, i.e., the scroll rate, of scrolling actuation. It is \*\*\*\*\* so that the scrolling periodic signal 81 concerned may be made into a clock signal, the output of the counter circuit or clock pulse generator 82 which generates the clock signal with which periods differ, respectively may be chosen by the multiplexer 83 and the scrolling periodic signal 81 of a predetermined period may be outputted by this example. The period of the scrolling periodic signal 81 can be determined in relation with the reaction rate of liquid crystal, for example, a selectable period is made into two or more kinds between several 10 msec(s) – number 100msec. The selection is performed by supplying the scroll rate information (the 1st information) 71 stored in the scrolling register 70 to a multiplexer 83.

[0066] The above-mentioned scrolling counter 90 receives the scrolling periodic signal 81 in the clock input terminal IN, for example, carries out counting of the start change, and supplies it to the scrolling shift register 11 by making the enumerated data into the amount of scrolling dots from an output terminal OUT. The scrolling shift register 11 chooses the output of the latter latch circuit 22, and supplies it to the segment shift register 12, so that the amount of scrolling dots is large like the case of drawing 1 R> 1. the above-mentioned scrolling counter 90 -- setting -- import declaration -- counting -- a direction, i.e., counting, -- it is the terminal with which an increment or a decrement of operation is directed. if this example is followed -- counting of the scrolling counter 90 -- a direction is shown using the scrolling direction information (the 2nd information) 72 stored in the scrolling register 70.

[0067] the scrolling counter 90 -- setting -- the counting -- the case where all the bits of a bit are outputted as enumerated data -- one change of the scrolling periodic signal 81 -- the output value of the scrolling counter 90 -- 1 -- an increment -- or a decrement is carried out. Therefore, scrolling of 1 dot will be performed for every period of the scrolling periodic signal 81. What is necessary is to always add the dummy bit of "0" to the output least significant bit of the scrolling counter 90, and just to supply the selection terminal of a multiplexer 21, in performing scrolling of 2 dots for every period of the scrolling periodic signal 81.

[0068] Reset of the scrolling counter 90 is a reset terminal. although especially that output is not restricted in the reset condition of the scrolling counter 90 -- all bits -- it is initialized by "0" and this reset condition is in the condition that the amount of scrolling dots is set to 0. In this example, the amount information 73 of total scrolling (the 3rd information) is stored in the scrolling register 70, and the scrolling termination detector 91 is supplied. It detects that the output of the scrolling termination detector 91 of the scrolling counter 90 corresponded with the amount information 73 of total scrolling, the scrolling counter 90 is reset, and a series of scrolling is terminated.

[0069] Next, an operation of \*\*\*\* 3 example is explained. In this operation explanation, scrolling of 1 dot shall be performed for every period of the scrolling periodic signal 81. When scrolling the display line, each scrolling information on the amount information 73 of total scrolling (the number of dots), the scrolling direction information 72, and the scroll rate information 71 is set to the scrolling register 70 from CPU1. According to this, the scrolling counter 90 performs an increment or decrement actuation so that it may advance the 1 dot of the amounts of scrolling at a time for every period of the selected scrolling periodic signal 81, and it supplies these enumerated data to the scrolling shift register 11. The scrolling shift register 11 scrolls the display line for every dot, operating [ whenever the enumerated data are increased gradually, choose the output of the latch circuit 22 by the side of the latter part, whenever enumerated data are dwindled, choose the output of the latch circuit by the side of the preceding paragraph, and ] the amount of transfer skews to the segment shift register 12 of a pixel data stream (the amount of delay). If the output of the scrolling counter 90 is in agreement with the amount of total scrolling, the scrolling counter 90 will be reset at the time, and smooth scrolling will be ended. In addition, in the configuration of this example, rightward scrolling should understand it as what is used for processing which once returns rightward the screen which scrolled leftward. In that case, in the middle of leftward scrolling, CPU1 should just reset the contents of the scrolling shift register 71 so that a scroll right may be directed.

[0070] When performing above-mentioned leftward scrolling by 20 dots wide, as shown in (A) of drawing 18, by this example, CPU1 should just write each scrolling information on the amount information 73 of total scrolling, the scrolling direction information 72, and the scroll rate information 71 in the scrolling register 70. According to the data written in this scrolling register 70, according to the count period of the scrolling period generating circuit 80, the scrolling counter 90 carries out sequential increment of the amount of scrolling from 0 dot to 20 dots, and scrolling processing from 0 dot to 20 dots is automatically performed by the scrolling shift register 11. Moreover, if what the scrolling counter 90 counted 20 dots of scrolling termination detectors 91 for is detected, increment actuation of the scrolling counter 20 will be stopped. CPU1 should just be needing and waiting for the display control until it is stopped (display wait). On the other hand, as shown in (B) of drawing 18, whenever it scrolls 1 dot, in the case of the example explained by drawing 1, the display scrolling instruction for rewriting the amount register 16 of scrolling dots from CPU1 to a liquid crystal display control device must be published, and it must perform to it each time, and to it, a total of 20 times of instruction executions must be repeated. Furthermore, in order to show scrolling smoothly and to carry out issue spacing or activation spacing of each instruction at equal intervals, CPU1 must manage interval time amount.

[0071] Therefore, according to the liquid crystal display control unit 102 of this example, future scrolling actuation can be autonomously controlled only by publishing a scrolling instruction once independently of CPU1, the time management which performs scrolling also becomes unnecessary, and the burden of CPU1 accompanying smooth scrolling can be remarkably mitigated compared with the example of drawing 1. In addition, since the example of drawing 1 can set the amount of scrolling dots as arbitration with a register 16, to the mode of scrolling which can be taken, its degree of freedom is higher than this example.

[0072] Although invention made by this invention person above was concretely explained based on the example, it cannot be overemphasized that it can change variously in the range which this invention is not limited to it and does not deviate from the summary.

[0073] For example, although the case where the single display line was scrolled was explained typically, the example of drawing 17 can be applied, also when choosing an arbitration line from two or more display lines and making scrolling possible. For example, the output of the scrolling counter 90 of drawing 17 is supplied to the selection terminal of a multiplexer 21 through the gate circuit 31 explained in the example of drawing 2, and the gate circuit is controlled by the same coincidence detector 20 as drawing 2. In this case, what is necessary is just to establish the field which stores the scrolling display line information which should be supplied to the line coincidence detector 20 concerned in the scrolling register 71. Moreover, when carrying out the decrement of the address counter 8 for a display, considering as the configuration which inputs a pixel data stream from the left-hand side of the segment side shift register 12 synchronizing with this, enlarging the amount of scrolling one by one and making the left and the amount of scrolling small one by one, it constituted from an above-mentioned example so that it might scroll rightward. If the address counter 8 for a display is incremented, it considers as the configuration which inputs a pixel data stream from the right-hand side of the segment side shift register 12 synchronizing with this contrary to this, the amount of scrolling is enlarged one by one and the right and the amount of scrolling will be made small one by one, it can also constitute so that it may scroll leftward. Moreover, it is also possible to constitute without not making the scrolling display line immobilization or adopting a scrolling display-line control means. The display size of the number of configuration pixels of a font and a liquid crystal display panel, the storage capacity of Display RAM, etc. are not limited to the above-mentioned example, but can be changed suitably. Moreover, although the scrolling shift register 11 was adopted in the above-mentioned example as a configuration for shifting the timing which supplies a pixel data stream to a drive circuit by the pixel data unit, also let it be one example of a configuration for shifting the account of a top to make it lead the juxtaposition output from the latch circuit to a multiplexer 21 every several steps. Moreover, this invention is applicable also to the display in the specific window of a display.

[0074] Although the above explanation applied and described invention mainly made by this invention person to the liquid crystal display technique which is a field of the invention used as the background, this invention is not limited to this and can be applied to drive control of various displays, such as a fluorescent indicator tube display and a plasma display display.

[0075]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly.

[0076] That is, since the amount control means of specified quantity \*\*\*\*\* scrolling is adopted for the supply timing of the pixel data stream which drives a signal electrode by the pixel data unit, smooth scrolling in a pixel unit is realizable with gradual increase or gradual decrease of the above-mentioned amount of gaps.

[0077] By adopting a scrolling display-line control means, the above-mentioned smooth scrolling is realizable to the display line of arbitration.

[0078] By adopting a scrolling display digit control means, the above-mentioned smooth scrolling is realizable to the display digit of arbitration.

[0079] By enabling it to perform assignment of the amount of gaps like the amount of scrolling dots, and assignment of the scrolling display line to arbitration to a storage means, the degree of freedom which can specify a scrolling mode as arbitration can be raised.

[0080] Since it is not necessary to rewrite the data in the display RAM which stores a character code when performing smooth scrolling, the burden of CPU can be mitigated in this point and that software processing can be simplified. Moreover, since serial rewriting of a bulk memory like bit map memory is not required, the burden of CPU is mitigated compared with the display control of a bit map format, and the above-mentioned smooth scrolling can be realized.

[0081] Furthermore, the burden of CPU is remarkably mitigable by adopting the amount control means of scrolling of a scroll rate and the amount of scrolling dots which updates autonomously serially.

[0082] Synchronizing with detection of the sync bit train which synchronized with the serial clock signal, reset a transfer sequence control counter, and data transmission is controlled. Moreover, by adopting an interface means to supervise the access-control information which continues in response to the input from a serial input terminal at a sync bit train and it also during the read-out actuation from a serial data output terminal An interface with a CPU like a data processor or a microcomputer can be performed using a mere serial clock. By this An interface with a CPU like a data processor or a microcomputer can be performed now using a mere serial clock, and the display control which does not restrict CPU available as a control subject substantially can be realized.

---

[Translation done.]

#### **\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### **DESCRIPTION OF DRAWINGS**

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the liquid crystal display control device concerning the 1st example of this invention.

[Drawing 2] It is the explanatory view showing a detailed example of a scrolling control circuit.

[Drawing 3] It is the timing chart showing an example of generation timing, such as a display-line signal in the scrolling control circuit of drawing 2 , and a scrolling display-line indication signal.

[Drawing 4] It is the explanatory view showing the example of operation when scrolling only the specified display line alternatively.

[Drawing 5] It is the explanatory view showing the example of operation when scrolling alternatively only the display line specified when the set point of the amount of scrolling dots was changed.

[Drawing 6] It is the explanatory view showing an example of the flows of control by CPU when performing smooth scrolling of a pixel unit.

[Drawing 7] It is serial in between CPU and a liquid crystal display control device, and is the explanatory view showing the write-in procedure in the case of performing data transfer.

[Drawing 8] It is serial in between CPU and a liquid crystal display control device, and is the explanatory view showing the read-out procedure in the case of performing data transfer.

[Drawing 9] It is the explanatory view showing the operations sequence which changes actuation into serial writing from serial read-out.

[Drawing 10] It is the detail circuit diagram of the CPU interface in a liquid crystal display control unit.

[Drawing 11] It is the block diagram of the liquid crystal display control device concerning the 2nd example of this invention.

[Drawing 12] It is the explanatory view showing a detailed example of a scrolling control circuit.

[Drawing 13] It is the timing chart showing an example of generation timing, such as a display-line signal in the scrolling control circuit of drawing 12 , a scrolling display-line assignment signal, and a scrolling display bit-position-designation signal.

[Drawing 14] It is the explanatory view showing the first half of the example of operation when scrolling alternatively the display line and the display digit which were specified.

[Drawing 15] It is the explanatory view showing the example of the second half of operation following drawing 14 .

[Drawing 16] It is a system configuration block diagram using the liquid crystal display control device concerning the 3rd example of this invention.

[Drawing 17] It is a detailed configuration block Fig. for scrolling in the example of drawing 16 .

[Drawing 18] It is an explanatory view for comparing the burden of CPU for smooth scrolling in the example of drawing 1 , and the example of drawing 16 .

[Description of Notations]

- 1 CPU (Central Processing Unit)
- 2 Liquid Crystal Display Control Unit
- 102 Liquid Crystal Display Control Unit
- 3 Liquid Crystal Display Panel
- 103 Liquid Crystal Display Panel
- 4 Display RAM
- 5 Character Generator ROM (CGROM)
- 6 CPU Address Counter
- 7 CPU Interface
- 8 Display Address Counter
- 9 Address Multiplexer
- 10 Parallel/serial-Conversion Circuit
- 11 Scrolling Shift Register
- 12 Segment Side Shift Register

13 Segment Latch Circuit  
14 Segment Liquid Crystal Driver  
15 Scrolling Display Line Assignment Register  
16 The Amount Register of Scrolling Dots  
17 Scrolling Control Circuit  
18 Common Liquid Crystal Driver  
19 Common Side Shift Register  
20 Line Coincidence Detector  
21 Multiplexer  
22 Latch Circuit  
23 Liquid Crystal Display Control Register  
24 Instruction Register Group  
25 CR Oscillator Circuit  
26 Timing Generating Circuit  
31 Gate Circuit  
51-58 A latch circuit (1) - latch circuit (8)  
59 Start Synchronous Detector  
60 R/W Latch Circuit  
61 RS Latch Circuit  
62 Transfer Bit Counter  
63 Low Order Data Latch Circuit  
64 High Order Data Latch Circuit  
65 Parallel/serial-Conversion Circuit  
70 Scrolling Register  
71 Scroll Rate Information  
72 The K Scrolling Direction Information  
73 The Amount Information of Total Scrolling  
80 Scrolling Period Generating Circuit  
90 Scrolling Counter  
91 Scrolling Termination Detector  
104 Liquid Crystal Display Control Unit  
111 Scrolling Display Bit-Position-Designation Register  
112 Display Digit Counter  
113 Digit Coincidence Detector  
114 Gate Circuit  
115 Scrolling Control Circuit  
COM1-COM32 Common driving signal  
SEG1-SEG60 Segment driving signal  
SCLK Serial transmission clock input terminal  
SID Serial data input terminal  
SOD Serial data output terminal  
DB0-DB7 Data bus signal  
R/W Read/write indication signal  
RS Register-select signal

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-219508

(43)公開日 平成7年(1995)8月18日

(51) IntCl.<sup>8</sup>

G O 9 G 5/34

G 0 6 F 3/14

識別記号

片内整理番号

**A 9471-5G**

360 D

F I

### 技術表示箇所

審査請求 未請求 請求項の数11 FD (全 20 頁)

(21)出願番号 特願平6-95645

(22)出願日 平成6年(1994)4月7日

(31)優先権主張番号 特願平5-339964

(32)優先日: 平5 (1993)12月7日

(33)優先権主張国 日本(JP)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者：横田、善和

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者：坂巻、五郎

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 谷 邦彦

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(74)代理人 弁理士 玉村 静世

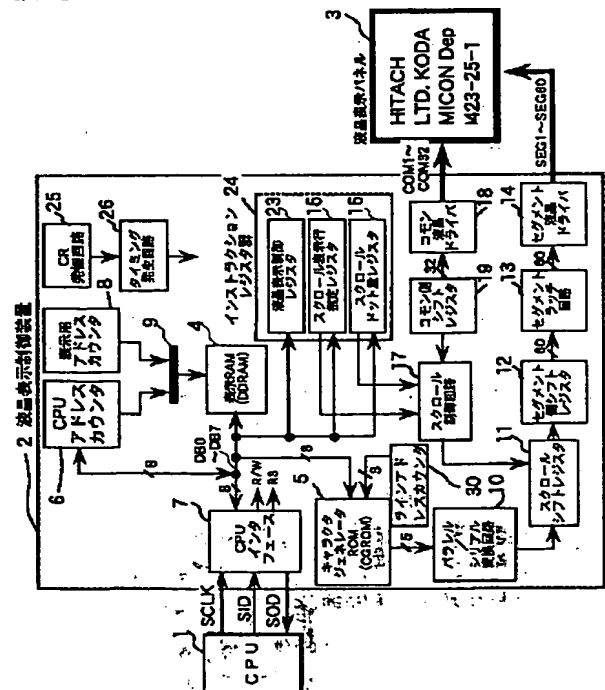
(54) 【発明の名称】 表示制御装置

(57) 【要約】

【目的】 表示画面の所望表示行に対して左右に画素単位でスクロールを行える表示制御装置を提供する。

【構成】 CPU 1 が表示を行うキャラクタのコードを液晶表示位置に対応する表示RAM 4 に書き込むことで任意のキャラクタをキャラクタジェネレータROM 5 から読出して表示させる。スクロールを行う任意の表示行を指定するスクロール表示行指定レジスタ15と、画素単位でスクロール量を指定するスクロールドット量レジスタ16を設け、指定された表示行のキャラクタデータに対しスクロールシフトレジスタ11は上記指定されたドット数分だけ遅延させて当該キャラクタデータをセグメント側シフトレジスタ12に供給する。

【图 1】



(2)

## 【特許請求の範囲】

【請求項1】 走査電極と信号電極の交差位置にドットマトリクス状に配置された多数の表示素子に複数画素からなるパターンを所定桁数を以て表示制御する表示制御装置であって、

上記走査電極を時分割駆動する第1の駆動回路と、  
上記走査電極の駆動切換間隔毎に画素データ列を保持して上記信号電極を駆動する第2の駆動回路と、  
上記所定桁数以上のコードデータを格納可能な表示RAMと、

上記表示RAMから順次読出されたコードデータに応じた表示パターンの画素データを出力するパターンデータメモリと、

上記パターンデータメモリから順次出力される画素データ列を入力し、これを上記第2の駆動回路に供給するタイミングを画素データ単位で所定量ずらして第2の駆動回路に出力可能な画素データ列供給回路と、  
上記画素データ列供給回路の出力タイミングのずれ量を可変に制御するスクロール量制御手段と、を備えて成るものであることを特徴とする表示制御装置。

【請求項2】 画素データ列供給回路によって出力タイミングをずらすべき画素データ列の表示行を可変に制御するスクロール表示行制御手段を更に備えて成るものであることを特徴とする請求項1記載の表示制御装置。

【請求項3】 画素データ列供給回路によって出力タイミングをずらすべき画素データ列の桁位置を可変に制御するスクロール桁制御手段を更に備えて成るものであることを特徴とする請求項1又は2記載の表示制御装置。

【請求項4】 上記画素データ列供給回路は、上記パターンデータメモリから順次出力される画素データ列を画素単位で順次直列に保持するシフト回路と、上記シフト回路の各記憶段の入力又は出力ノードの中から一つのノードを選択して出力とする選択回路と、を備えて成るものであることを特徴とする請求項1乃至3の何れか1項記載の表示制御装置。

【請求項5】 上記スクロール量制御手段は、上記データ列供給回路での出力タイミングのずれ量を指示するためのスクロール量を書換え可能に記憶し、記憶したスクロール量を上記選択回路に与える第1の記憶手段を備えて成るものであることを特徴とする請求項4記載の表示制御装置。

【請求項6】 上記スクロール量制御手段は、スクロールすべきスクロール行を書換え可能に記憶する第2の記憶手段と、現在の表示行が第2の記憶手段で指定されたスクロール行に一致するかを検出する行検出回路と、上記行検出回路にて一致が検出されたときに上記第1の記憶手段が保持するスクロール量を上記選択回路に供給可能にするゲート回路と、を備えて成るものであることを特徴とする請求項5記載の表示制御装置。

【請求項7】 上記スクロール桁制御手段はスクロール

行のうちスクロールすべき表示桁を書換え可能に記憶する第3の記憶手段と、現在の表示桁が第3の記憶手段に指定されたスクロール桁に一致するかを検出する桁検出回路とを備えて成るものであることを特徴とする請求項5又は6記載の表示制御装置。

【請求項8】 上記スクロール量制御手段は、スクロール速度を規定するためのスクロール周期信号の発生回路と、上記データ列供給回路での出力タイミングのずれ量を指示するためのスクロール量を上記スクロール周期信号の変化に同期しながら更新して出力するスクロールカウンタとを備えて成るものであることを特徴とする請求項1乃至3の何れか1項記載の表示制御装置。

【請求項9】 上記スクロール量制御手段は、上記スクロール周期信号の発生回路に対してスクロール周期信号の周期を指定するための第1の制御情報、上記スクロールカウンタに対するカウント方向を指示する第2の制御情報、及び全体のスクロール量を指示する第3の制御情報を書換え可能に記憶する第4の記憶手段と、上記スクロールカウンタの出力が上記第4の記憶手段に記憶された第3の制御情報に到達したことを検出してスクロールカウンタをリセットするスクロール終了検出回路と、を更に備えて成るものであることを特徴とする請求項8記載の表示制御装置。

【請求項10】 上記記憶手段を外部とインタフェースするためのインタフェース手段を備え、この上記インタフェース手段は、

上記記憶手段の入力に結合された内部バスと、  
シリアルクロック入力端子と、  
シリアルデータ入力端子と、  
シリアルデータ入力端子に結合された複数のラッチ回路から成る直列記憶回路と、

上記直列記憶回路に含まれる所定複数段のラッチ回路の各出力ノードが並列入力端子に結合され、並列出力端子が上記内部バスに接続された並列データラッチ回路と、  
上記並列ラッチ回路の入力に出力が結合されるラッチ回路とその他のラッチ回路の出力を並列的に受けてそれらが所定論理値であるときに第1の信号を出力する同期ビット列検出回路と、

上記論理回路の入力に出力が結合されたラッチ回路以外のラッチ回路の記憶情報を第1の信号によって取り込むアクセス制御情報ラッチ回路と、

上記第1の信号によって計数動作がリセットされ、その計数値に応じて上記並列データラッチ回路のラッチタイミングを制御する転送制御カウンタと、を備えて成るものであることを特徴とする請求項5、6、又は9の何れか1項記載の表示制御装置。

【請求項11】 シリアルデータ出力端子と、  
入力が内部バスに並列に結合されると共に出力がシリアルデータ出力端子に結合され、シリアル出力が上記シリアルクロック信号に同期されるパラレル/シリアル変換

3

回路と、を更に備え、

上記転送制御カウンタは更に、その計数値に応じて上記  
パラレル／シリアル変換回路の出力開始タイミングを制  
御する制御信号を生成するものであることを特徴とする  
請求項10記載の表示制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、表示制御技術さらには  
液晶駆動制御および蛍光管駆動制御などにおけるスクロ  
ール技術に係り、例えばキャラクタジェネレータROM  
を利用してドットマトリクス形態でキャラクタ表示を行  
う液晶表示制御装置に適用して有効な技術に関するもの  
である。

【0002】

【従来の技術】表示制御形態の一つとしてのキャラクタ  
ジェネレータ方式の液晶表示制御装置は、キャラクタコ  
ードを格納する表示用RAM（以下、DDRAMと略  
す）と、文字フォントなどキャラクタパターンを格納す  
るキャラクタジェネレータRAM又はROM（以下CG  
RAM又はCGROMと記す）と、DDRAMを液晶表  
示パネルの駆動位置に合わせて読み出す表示アドレスカ  
ウンタと、液晶表示パネルの駆動を行う液晶駆動回路か  
ら構成されていた。ここで、中央処理装置（以下、CP  
Uと略す）は、液晶表示パネル上に表示を行うキャラク  
タに対応するキャラクタコードをDDRAMに書き込  
む。表示アドレスカウンタは液晶表示パネルの駆動位置  
に合わせて順次DDRAMを読み出し、読み出されたキ  
ャラクタコードをアドレスの一部としてCGRAMまた  
はCGROMからキャラクタパターンを読み出す。順次  
読み出されたキャラクタパターンは、液晶の点灯／非点  
灯データとして液晶駆動回路内のシフトレジスタに順次  
送られ、1ライン分のデータが蓄積された時点で全液晶  
ドライバ回路が一斉に点灯／非点灯電圧レベルを出力  
し、液晶表示パネルを駆動する。なお各キャラクタは垂  
直方向に複数のラインで構成されているため、上記の制  
御を各表示行毎にキャラクタのライン数分だけ繰り返  
して行う必要がある。

【0003】ここでキャラクタコードを用いた液晶表示  
制御装置で表示画面上のキャラクタを左又は右方向に連  
続的に複数文字分スクロールする場合、以下の2通りの  
実現手段がある。第一はDDRAMを読み出す表示アド  
レスカウンタの読み出し開始アドレスを順次インクリメ  
ントまたはデクリメントしてDDRAMの読み出し位置  
を1文字ずつ左右にずらしながら表示を行ってスクロ  
ールする。また第二はDDRAM内のキャラクタコードを  
CPUが1文字ずつ左又は右方向にずらして書換えを行  
いながらスクロールする。前者はCPUの負担が軽いも  
の、表示画面の複数の表示行が全て同時にスクロール  
してしまう。また後者は特定の表示行だけを選択的にス  
クロールさせることができるが、1文字ずらす毎にスク

(3)

4

ロール表示行に対応するDDRAM内のキャラクタコー  
ドを全て書換える必要があり、CPUの負担が大きくな  
る。さらに前者および後者ともにキャラクタ単位でしか  
スクロールを行うことができないため、複数文字を連続  
的にスクロールしたりすると表示文字が表示画面上で左  
右に滑らかに移動せず、離散的な不自然なスクロール表  
示となってしまふ。

【0004】一方、表示制御の別の形態としてのビット  
マップ形式の液晶表示制御装置では、視覚的に滑らかな  
スクロール（以下単にスムーズスクロールとも記す）を  
行うことができる。すなわち、各画素単位に表示の点灯  
／非点灯情報をもつビットマップメモリ（以下、BPR  
AMと略す）を搭載した液晶表示制御装置を用い、CP  
U自身がキャラクタパターンを生成しキャラクタパター  
ンを直接BPRAMに書き込み、さらに特定の表示行に  
対応するBPRAM内のデータを1画素ずつ左右にずら  
して書換えていく。但しこの場合にはキャラクタコード  
を用いた液晶表示制御装置に比べ、大容量のBPRAM  
を持たなければならないこと、またCPUがBPRAM  
のデータを頻繁に書換える必要がありCPUの負担が著  
しく増大するなどの点を考慮しなければならず、スム  
ーススクロールを効率的に行うには処理能力の高いCPU  
を利用しなければ実用に耐えない。尚、キャラクタジェ  
ネレータ方式とビットマップ方式の表示制御技術につい  
て記載された文献の例としては昭和60年12月25日  
に株式会社オーム社から発行された「マイクロコンピ  
ュータハンドブック」第171頁がある。

【0005】

【発明が解決しようとする課題】従来のドットマトリク  
ス方式のキャラクタジェネレータを内蔵した液晶表示制  
御装置においてはスムーズスクロールを行うことができ  
ず、また、特定の表示行に対してのみ選択的にその様な  
スムーズスクロールを行うこともできなかった。さらに  
特定の表示行のうちの特定の表示桁に対してのみ選択的  
にその様なスムーズスクロールを行うこともできなかった。  
BPRAMを搭載した液晶表示制御装置では、CP  
Uが全てキャラクタパターンデータを管理しているた  
め、任意の表示行のスクロール表示はソフトウェアで実  
現できるが、CPUは1画素移動させる毎にスクロール  
表示行に対応するBPRAMの内容を全て書換える必要  
があり、CPUの負担が著しく大きくなってしまふ。

【0006】更に液晶表示制御装置がマイクロコンピ  
ュータ若しくはデータプロセッサのようなCPUの制御を  
受けて動作される場合、表示RAMのリード／ライト情  
報や制御データの伝送のためのインタフェース手順が特  
殊であれば当該液晶表示制御装置を制御するために利用  
可能なCPUの選択の幅も制限され、更にはCPUの負  
担も増えてしまうことが本発明者によって見出され  
た。上記スムーズスクロールとの関係においてもその点  
を解決すれば、任意表示行、任意表示桁、そして任意の



(4)

5

ドット単位でスムーズスクロールを行うために必要な制御情報の伝送効率を向上させることができ、CPUの負担軽減につながることが本発明者によって見い出された。

【0007】本発明の目的は、キャラクタジェネレータ形式での表示制御においてスムーズスクロールを実現できる表示制御装置を提供することにある。本発明の別の目的は、任意の表示行に対して上記スムーズスクロールを実現できる表示制御装置を提供することにある。また、任意の表示桁に対して上記スムーズスクロールを実現できる表示制御装置を提供することにある。本発明の更に別の目的は、CPUの負担を軽減して上記スムーズスクロールを実現できる表示制御装置を提供することにある。本発明の他の目的は、CPUとのインタフェースという点においても上記スムーズスクロールに利用できるCPUの選択の余地を広げることに寄与する表示制御装置を提供することにある。本発明のその他の目的は、データプロセッサ若しくはマイクロコンピュータのようなCPUとのインタフェースを単なるシリアルクロックを用いて行うことができ、制御主体として利用可能なCPUを実質的に制限することのない表示制御装置を提供することにある。

【0008】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】すなわち、走査電極と信号電極の交差位置にドットマトリクス状に配置された多数の表示素子に複数画素からなるパターンを所定桁数を以って表示制御する表示制御装置を、上記走査電極を時分割駆動する第1の駆動回路と、上記走査電極の駆動切換間隔毎に画素データ列を保持して上記信号電極を駆動する第2の駆動回路と、上記所定桁数以上のコードデータを格納可能な表示RAMと、上記表示RAMから順次読出されたコードデータに応じた表示パターンの画素データを出力するパターンデータメモリと、上記パターンデータメモリから順次出力される画素データ列を入力し、これを上記第2の駆動回路に供給するタイミングを画素データ単位で所定量ずらして第2の駆動回路に出力可能な画素データ列供給回路と、上記画素データ列供給回路の出力タイミングのずれ量を可変に制御するスクロール量制御手段と、を含めて構成する。

【0011】スクロールすべき表示行を可変にするには、画素データ列供給回路によって出力タイミングをずらすべき画素データ列の表示行を可変に制御するスクロール表示行制御手段を更に採用する。

【0012】上記画素データ列供給回路をシフト回路形

6

式とするには、上記パターンデータメモリから順次出力される画素データ列を画素単位で順次直列に保持するシフト回路と、上記シフト回路の各記憶段の入力又は出力ノードの中から一つを選択して出力とする選択回路と、によって構成できる。この場合に、画素データ列のずれ量の設定やその変更タイミングに高い自由度を保証してスクロール態様を任意に指定できるようにするには、スクロール量制御手段として、上記データ列供給回路での出力タイミングのずれ量を指示するためのスクロール量を書換え可能に記憶して上記選択回路に与える第1の記憶手段を採用できる。また、その構成において、スクロール行を任意に指定可能にするためのスクロール量制御手段には、スクロール行を書換え可能に記憶する第2の記憶手段と、現在の表示行が第2の記憶手段で指定されたスクロール行に一致するかを検出する行検出回路と、上記行検出回路にて一致が検出されたときに上記第1の記憶手段が保持するスクロール量を上記選択回路に供給可能にするゲート回路とを採用できる。

【0013】さらに、その構成においてスクロール行のうちスクロールを行うスクロール桁を書換え可能に記憶する第3の記憶手段と、現在の表示桁が第3の記憶手段で指定されたスクロール桁に一致するかを検出する桁検出回路と、上記行検出回路と桁検出回路にて一致検出されたときに、上記第1の記憶手段が保持するスクロール量を上記選択回路に供給可能にするゲート回路とを採用できる。

【0014】スクロール速度とスクロール量の逐次更新とを自律的に行うためのスクロール量制御手段には、スクロール速度即ちスクロール動作の間隔時間を規定するためのスクロール周期信号の発生回路と、上記データ列供給回路の出力タイミングのずれ量を指示するスクロール量を上記スクロール周期信号の変化に同期しながら更新して出力するスクロールカウンタとを採用できる。さらにその自律的な制御動作を完全化するためには、上記スクロール周期信号の発生回路に対してスクロール周期信号の周期を指定するための第1の制御情報、上記スクロールカウンタに対するカウント方向を指示する第2の制御情報、及び全体のスクロール量を指示する第3の制御情報を書換え可能に記憶する第4の記憶手段と、上記スクロールカウンタの出力が上記第4の記憶手段に記憶された第3の制御情報に到達したことを検出してスクロールカウンタをリセットするスクロール終了検出回路とを更に追加できる。

【0015】外部のデータプロセッサやマイクロコンピュータなどのCPUが上記第1、第2又は第3の記憶手段にデータ設定を行う場合には、それとのインタフェース手段を備える。このインタフェース手段は、上記記憶手段の入力に結合された内部バスと、シリアルクロック入力端子と、シリアルデータ入力端子と、シリアルデータ入力端子に結合された複数のラッチ回路から成る直列

(5)

7

記憶回路と、上記直列記憶回路に含まれる所定複数段のラッチ回路の各出力ノードが並列入力端子に結合され、並列出力端子が上記内部バスに接続された並列データラッチ回路と、上記並列ラッチ回路の入力に出力が結合されるラッチ回路とその他のラッチ回路の出力を並列的に受けてそれらが所定論理値であるときに第1の信号を出力する同期ビット列検出回路と、上記論理回路の入力に出力が結合されたラッチ回路以外のラッチ回路の記憶情報を第1の信号によって取り込むアクセス制御情報ラッチ回路と、上記第1の信号によって計数動作がリセットされ、その計数値に応じて上記並列データラッチ回路のラッチタイミングを制御する転送制御カウンタと、によって構成できる。

【0016】このインタフェース手段がデータ出力をサポートする場合には更に、シリアルデータ出力端子と、入力が内部バスに並列に結合されると共に出力がシリアルデータ出力端子に結合され、シリアル出力が上記シリアルクロック信号に同期されるパラレル/シリアル変換回路とを更に備え、上記転送制御カウンタは更に、その計数値に応じて上記パラレル/シリアル変換回路の出力開始タイミングを制御する制御信号を生成する。

【0017】

【作用】上記した手段によれば、スクロール量制御手段は、画素データ列の供給タイミングを例えば画素データ単位でどのくらいずらすかを制御し、これによって画素データ列供給回路から第2の駆動回路に渡されて信号電極を駆動するための画素データ列は、パターンデータメモリから順次発生される画素データ列に対して所定部分が切り出されたものと等価とされる。これにより、複数フレームの表示期間毎に上記ずれ量を増減させる指示がスクロール量制御手段から与えられることによって、所定表示行において表示桁方向への画素単位でのスムーズスクロールが実現される。例えばスクロール制御手段がスクロールドット量レジスタのような第1の記憶手段によって構成されるとき、CPUは当該第1の記憶手段のスクロール量を定期的に書換えていけば、所定の表示行をスムーズスクロールさせることができる。スクロールドットのずれ量の書換え若しくは変化率は1画素単位に行う必然性はなく、単一パターンの桁方向ドット数よりも少ない数の複数画素単位で任意に行うことができる。

【0018】スクロール表示行制御手段が採用されている場合にはそれによって指定された単一若しくは複数の表示行に対して上記スムーズスクロールが実現される。

【0019】上記ずれ量の指定は一定画素数毎に固定的であってもよく、また、スクロール対象行も固定であってもよい。第1の記憶手段、第2の記憶手段を採用する構成にあつては、それに対する設定値次第でスクロール対象表示行とスクロール量をプログラマブルに指定可能であり、上記ずれ量を漸増又は漸減することによってスクロールは左右何れの方にも自在とされる。また第3

8

の記憶手段を採用する構成にあつてはスクロール対象表示行のうち、任意の表示桁のみをスクロールすることが可能である。

【0020】キャラクタジェネレータ形式での上記スムーズスクロールにあつては上記スクロールを行うときにキャラクタコードを格納する表示RAM内のデータを書換える必要がなく、この点においてCPUの負担を軽減できてそのソフトウェア処理を簡素化することができる。また、ビットマップメモリのような大容量メモリの逐次書換えを要しないので、ビットマップ形式の表示制御に比べてCPUの負担を軽減して上記スムーズスクロールを実現する。

【0021】スクロール速度とスクロール量の逐次更新とを自律的に行うためのスクロール量制御手段を採用すると、CPUは1画素又は数画素単位でのスクロール毎にスクロール量を変更する処理例えば第1の記憶手段の値を書換える処理を逐次実行することを要せず、また、そのような書換えの間隔即ち各スクロール動作の間隔を等間隔にしたりするための時間管理を行う必要もない。このことがスムーズスクロールに係るCPUの負担を著しく軽減する。スクロール量制御手段にスクロールカウンタをリセットする機能まで含めることにより、CPUは所要の制御情報を一度設定すれば必要な全スクロール量を以てスムーズスクロールの制御を完結する。

【0022】シリアルクロック信号に同期した同期ビット列の検出に同期して転送制御カウンタをリセットして例えばバイト単位でのデータ伝送を制御することは、CPUとの間でのデータビットのずれが生じても次の同期ビット列の検出に呼応して伝送手順を正常に復帰させる様に作用する。シリアルデータ出力端子を介するCPUによる読出し動作中においてもシリアル入力端子からの入力を受けて同期ビット列とそれに続くアクセス制御情報を監視することは、書込みと読み出しの切換えをシリアルクロック信号、シリアル入力信号、及びシリアル出力信号の3本のインタフェース信号で実現にする。

【0023】

【実施例】図1には本発明の一実施例に係る液晶表示制御装置を用いたシステムのブロック図が示される。このシステムは、特に制限されないが、液晶表示制御装置2と、この液晶表示制御装置2の動作を制御するデータプロセッサ若しくはマイクロコンピュータとしてのCPU1（セントラル・プロセッシング・ユニット）と、液晶表示パネル（LCDパネルとも記す）3から成る。液晶表示制御装置2は、実際に液晶画面上に表示を行う文字の文字コードを記憶する表示RAM4（ランダム・アクセス・メモリ）と、指定された文字コードからドットマトリクス状の文字フォントパターンを展開するためのキャラクタジェネレータROM5（リード・オンリー・メモリ）とを備える。

【0024】液晶表示パネル3は、特に制限されない

(6)

9

が、ドットマトリクス型で構成され、走査電極としてのコモン電極と信号電極としてのセグメント電極がX、Y方向に交差的に配置され、夫々の交差位置に1ドット分の液晶表示素子が形成されている。コモン電極が順次駆動されるとき、当該駆動されるコモン電極に対応される表示素子の点灯又は非点灯は、セグメント電極に与えられる表示信号によって決定される。特に制限されないが、本実施例に従えば、液晶表示パネル3は最大12桁4行で文字表示を行える表示領域を持ち、表示文字1個当たりのドット数(表示素子数)は横×縦=5×8ドットとされる。これに従えば液晶表示パネル3は、32本のコモン電極と、60本のセグメント電極を持つ。

【0025】CPU1は表示させるべき文字の文字コードを表示RAM4に書き込むことで任意の位置に任意の文字を表示させることができる。表示RAM4は、後述するスクロール方向に対応して液晶表示パネル3に表示可能な最大表示桁数以上の文字コードを格納可能な記憶領域を有する。例えば、20桁4行分の文字コードを格納可能とされる。

【0026】表示RAM4への書き込みはCPUアドレスカウンタ6で指定したアドレスに対して行われる。CPU1はこのCPUアドレスカウンタ6への任意の初期アドレス値をプリセットでき、以後CPU1が表示RAM4へ書き込み指示を与える毎にそれに同期してCPUアドレスカウンタ6がインクリメント動作されて必要なアドレスを内部で生成する。CPUアドレスカウンタ6から出力されたアドレス信号は選択回路9を介して表示RAM4に供給される。このときの書き込みデータとしての表示文字コードはCPUインタフェース7を介してCPU1などから与えられる。液晶表示制御装置2内部とCPU1との間の情報伝送はCPUインタフェース7を経由して行う。

【0027】表示動作における表示RAM4の読出しアドレスは表示用アドレスカウンタ8が生成する。すなわち、この表示用アドレスカウンタ8は表示動作に同期して例えば順次デクリメント動作を行ってその値を出力する。出力された値は選択回路9を介して表示RAM4に供給され、当該表示RAM4から表示文字コード(キャラクタコードとも記す)が読み出される。特に制限されないが、本実施例に従えば、表示文字コードは8ビットとされる。

【0028】CPU1による表示RAM4内のデータの書き換え又は読出しアクセス(CPUアクセス)と、液晶表示を行うために表示RAM4内のデータを読み出しするアクセス(表示アクセス)は、特に制限されないが、時分割に交互に行われ、それに同期して選択回路9の選択状態も交互に切換え制御される。この制御は後述するタイミング発生回路26が行う。

【0029】表示動作時に表示RAM4から読み出されたキャラクタコードはキャラクタジェネレータROM5

10

に対するアクセスアドレス信号の一部とされ、当該アクセスアドレス信号の残りはラインアドレスカウンタ30の出力とされる。

【0030】上記キャラクタジェネレータROM5は、英数字、アルファベット、カタカナ、ひらがな、漢字、及び記号などのフォントパターンデータを格納する。特に制限されないが夫々の文字には文字コードが割り当てられる。特に制限されないが、各文字は横が5ドット、縦が8ドットによって構成される。キャラクタジェネレータROM5は、文字コードによって指定される一つの文字のフォントデータを5ドット単位(本実施例に従えば5ビット単位)で合計8回のリード動作によって読出し可能にされている。すなわち、キャラクタジェネレータROM5は、上記表示RAM4から読み出された文字コードをアドレスの上位側8ビットとし、ラインアドレスカウンタ30の出力をアドレスの下位側3ビットとしてリードアクセスされる。アドレスの上位側8ビットを構成する文字コードは文字を指定するための信号とみなされ、ラインアドレスカウンタ30の3ビットの出力は文字コードによって指定される文字フォントの縦8ライン分を1ラインづつ指定するための信号とみなされる。

【0031】キャラクタジェネレータROM5から読出されたフォントパターンデータ(このようなフォントパターンデータの読み出しをフォントパターンの展開とも称する)は、パラレル/シリアル変換回路10でシリアルデータに変換され、後述するスクロールレジスタ11を介してセグメント側シフトレジスタ12(本実施例に従えば60ビット分)に逐次送られ、1ライン(液晶表示パネル3の1本の走査線若しくはコモン電極)分のデータが全部当該セグメント側シフトレジスタ12に格納された時点で、当該データをセグメントラッチ回路13にラッチさせ、セグメント液晶ドライバ14に供給する。セグメント液晶ドライバ14は、液晶表示パネルの各表示素子即ち各画素の選択(点灯)または非選択(非点灯)を制御するセグメント駆動信号SEG1~SEG60を上記セグメントラッチ回路13の出力データに基づいて形成し、液晶表示パネル3のセグメント電極を駆動する。各ラインのコモン電極はコモン側シフトレジスタ19及びコモン液晶ドライバ18によって形成されるコモン駆動信号COM1~COM32によって順次時分割的に駆動される。

【0032】液晶表示制御装置2の内部タイミングは、CR発振回路15の発振出力を入力するタイミング発生回路26が生成する。これが生成するタイミング信号は、表示用アドレスカウンタ8及びラインアドレスカウンタ30のインクリメントタイミング、コモン側シフトレジスタ19のシフトタイミング、スクロールシフトレジスタ11及びセグメント側シフトレジスタ12のシフトタイミング、そしてセグメントラッチ回路13のラッチタイミングなどを生成する。スクロールシフトレジ

(7)

11

タ11及びセグメント側シフトレジスタ12のシフトタイミングは、ドットクロックによって規定される。そのような各種タイミングは、コモン液晶ドライバ18及びセグメント液晶ドライバ14などの動作タイミングを表示用アドレスカウンタ8やラインアドレスカウンタ30の動作に同期させ、キャラクタジェネレータROM5から順次読出されるデータをそれが表示されるべき位置に表示できるように、コモン電極の順次駆動とセグメント電極の駆動タイミングを決定する。

【0033】図1において24はインストラクションレジスタ群であり、液晶表示制御レジスタ13、スクロール表示行指定レジスタ15、スクロールドット量レジスタ16などの制御レジスタを含み、それらはCPUインタフェース7を介してCPU1にて設定される。液晶表示パネル3上で左右にスクロールを行う場合、CPU1はCPUインタフェース7を介して、スクロールを行う表示行を指定するスクロール表示行指定レジスタ15と、スクロール量を画素単位に指定するスクロールドット量レジスタ16にスクロール情報を書き込む。この場合、表示RAM4内のキャラクタコードデータを書換える必要はない。スクロール表示行指定レジスタ15及びスクロールドット量レジスタ16に格納された情報は、スクロール制御を行うスクロール制御回路17に供給され、このスクロール制御回路17は上記スクロールシフトレジスタ11を制御する。

【0034】図2にはスクロールのための詳細な回路図が示される。5×8ドットで構成されるキャラクタフォントパターンを垂直方向に4行表示する場合、各表示文字行は8ラインになるのでコモン液晶ドライバ18は合計32個の駆動回路を有する。このコモン液晶ドライバ18は液晶表示パネル3のコモン電極にコモン駆動信号COM1～COM32を出力して、第1文字行から第4文字行までの32ライン分のコモン電極に時分割的に選択電圧レベルを供給する。コモン液晶ドライバ18が順次選択電圧レベルを出力する順番はコモン側シフトレジスタ19によって制御される。

【0035】このコモン側シフトレジスタ19は直列に32段の記憶段を有し、例えば、1ライン駆動毎に所定論理値（例えば論理値1）のビットデータが1段ずつシフトする。上記ビットデータが最終段にシフトされた後は、引き続いてタイミング発生回路26が初段に再び上記ビットデータを供給して、サイクリックに動作が繰り返される。上記コモン側シフトレジスタ19は第1文字行から第4文字行まで順次選択していくので、それを参照することによって現在どこの表示文字行を選択しているかを認識できる。そこで図3に示すようにコモン側シフトレジスタ19は現在表示中の表示行信号φ1～φ4を順次出力する。例えば、1行目表示信号φ1は、シフトレジスタ19の初段から8段目までの各記憶段の出力に対して論理和を採った信号として理解することができ

12

る。スクロール制御回路17はこのコモン側シフトレジスタ19から出力される4ビットの表示行信号φ1～φ4と、スクロール表示行指定レジスタ15の4ビットの設定値とをビット対応で比較して夫々が論理値1で一致する場合を検出する行一致検出回路20を有する。この比較結果が一致すると、図3に示すように行一致検出回路20から出力されるスクロール行一致信号φ5はその期間だけハイレベルとなる。例えば、スクロール表示行指定レジスタ15の4ビットは第1表示文字行から第4表示文字行の指定ビットとされ、スクロール表示行指定レジスタ15に設定される4ビットの各ビットは論理値1がスクロールの指定とみなされる。行一致検出回路20は当該指定レジスタ15のビットと対応行の表示信号との論理積を夫々採り、その4ビットの論理積信号に対して一つの論理和を採ることによって一つのスクロール行一致信号φ5を得る。

【0036】上記スクロールドット量レジスタ16は、特に制限されないが、6ビットとされ、各ビットは、ゲート回路31に入力される。このゲート回路31は、上記スクロール行一致信号φ5がハイレベルである時にスクロールドット量レジスタ16の出力をスクロールドット量指示信号SELとしてスクロールシフトレジスタ11に伝達する。スクロール行一致信号φ5がロウレベルのときゲート回路31は、例えば全6ビットが論理値0の信号SELをスクロールシフトレジスタ11に供給する。そのようなゲート回路31は、例えばスクロールドット量レジスタ16の出力をビット毎に受け、スクロール行一致信号φ5を夫々共通に受ける6個の2入力アンドゲートによって構成できる。したがって、スクロールドット量レジスタ16に格納されたスクロールドット量指定データは、パネル3での表示行がレジスタ15で指定されたスクロール行に一致した時だけスクロールドット量指示信号SELとしてスクロールシフトレジスタ11に供給される。

【0037】上記スクロールレジスタ11は、直列接続された複数段のラッチ回路22とマルチプレクサ21によって構成される。各ラッチ回路22は、夫々1ドット分のビットデータを記憶するもので、パラレル/シリアル変換回路10の出力に同期して、換言すればドットクロックに同期して、当該パラレル/シリアル変換回路10から出力されるシリアルデータを順次後段に伝達していく。マルチプレクサ21は、パラレル/シリアル変換回路10の出力と各ラッチ回路22の出力を受け、上記ゲート回路31の6ビット出力のデコード結果に基づいて、それらの内の何れか一つの入力を選択してセグメント側シフトレジスタ12に供給する。このとき、上記ゲート回路31の出力が全ビット論理値0であるとき、換言すればスクロールが行われない時、マルチプレクサ21はパラレル/シリアル変換回路10の出力を選択し、スクロールドット量レジスタ16で指定されるスクロー

(8)

13

ル量が多い程、換言すればゲート回路31の出力値が大きくされる程、後段側のラッチ回路22の出力を選択する。

【0038】このように、上記行一致検出回路20での比較結果が一致すると、該回路20から出力されるスクロール行一致信号φ5はその期間だけハイレベルにされ、スクロールドット量レジスタ16で設定されたスクロール画素数だけスクロールシフトレジスタ11でシフトされた結果をマルチプレクサ21が選択してセグメント側シフトレジスタ12にキャラクタパターンを出力する。例えば、表示期間のある瞬間において5画素スクロールする場合には、スクロールシフトレジスタ11内の5段のラッチ回路22でシフトされたキャラクタパターンデータをマルチプレクサ21で選択してセグメント側シフトレジスタ12に出力する。

【0039】ここで、前述のように表示RAM4は最大20桁4行分のキャラクタコードを格納可能な記憶領域を有する。デクリメント動作される表示用アドレスカウンタ8による表示RAM4のリードアクセスは、例えば、各行において第20桁目の記憶領域から第1桁目の記憶領域に至る順番で行われる。また、前記セグメント側シフトレジスタ12は液晶表示パネル3の最大表示桁数である12桁に対応して60ビットで構成されているが、セグメント側シフトレジスタ12からセグメントラッチ回路13に1表示ライン分のパターンデータを転送するタイミングは、表示RAM4の最大記憶桁数に対応してセグメント側シフトレジスタ12が100回シフト動作を行う毎とされる。そのようなシフト動作はラッチ回路22のラッチ動作と同様にドットクロックに同期して行われる。したがって、1表示ライン分のパターンデータが所定ドット数分遅れてスクロールレジスタ11から出力されると、そのドット数分だけ図2における左方向へずれた表示が実現される。所定時間間隔例えば複数フレームの表示期間を置いて順次スクロールドット量レジスタ16の値を順次大きくしていけば（順次後段のラッチ回路出力を選択していけば）、図2の左方向へのドット単位のスクロールが実現される。逆に、スクロールドット量レジスタ16の初期値を順次デクリメントしていけば右方向へのスクロールが実現される。

【0040】スクロール表示行指定レジスタ15で指定された行と表示中の行が一致しない場合は、スクロール行一致信号はロウレベルのままであるので、スクロールは行われず通常の表示となる。即ちキャラクタパターンデータはスクロールシフトレジスタ11内のラッチ回路22を経由せず直接マルチプレクサ21からセグメント側シフトレジスタ12に出力される。

【0041】スクロール表示行指定レジスタ15は表示行単位に設定できる。例えば、4行表示を行う場合、独立した4ビットの情報を持つ。したがって、各表示行に対し独立してスクロールを指定できるので、同時に複数

14

行のスクロールを行うことができる。またスクロールドット量レジスタ16の設定値を変えることによりスクロールを行う画素数を任意に指定できるので、この設定値を定期的に順次インクリメントまたはデクリメントすることにより、左右にスクロールすることができる。またこの設定値のインクリメントまたはデクリメントの間隔を調整することにより、スクロールを行う速度を変えることができる。上記スクロール表示行指定レジスタ15とスクロールドット量レジスタ16を組み合わせることで、任意の表示行のみ選択的に左右にスムーズスクロールすることができる。

【0042】図4には各表示行単位で独立にスクロールを行った場合の状態が示される。スクロール表示行指定レジスタ15の4ビットは、それぞれ液晶表示パネル3の表示行に対応している。図4の(A)に示されるように、スクロール表示行指定レジスタ15の内容が全て“0”であるときは、スクロールドット量レジスタ16によりスクロールドット量が指定されていてもスクロールは行われない。図4の(B)に示されるように、スクロール表示行指定レジスタ15の第2ビットが“1”の場合は、このビットに対応する表示行のみがスクロールドット量レジスタ16の設定値に従ってスクロール可能にされる。また、図4の(C)に示されるように、2つのビットを“1”にした場合は、同時にこの2つのビットに対応する表示行がそれぞれ行単位でスクロール可能にされる。図4から明らかなように、指定された表示行の表示状態は、スクロールドット量に比例して図の左側にずれている。

【0043】図5にはスクロール量を変化させた場合の表示例が示される。スクロールドット量レジスタ16により指定された画素単位のスクロールが可能にされる。スクロールドット量レジスタ16の設定値を定期的に順次インクリメントすることにより、スクロール指定された表示行は液晶表示パネル3上で左方向に滑らかにスクロールすることができる。尚、図5においては、第2行目(a b c d e f g h)のみがスクロールされ、他の行はスクロールされない状態が示されている。すなわち図5(A)に対して図5(B)、図5(C)、図5(D)は、第2行目のみそれぞれスクロールされている。

【0044】図6には特定の表示行に対し1画素単位に連続して8画素分のスムーズスクロールを行うためのCPU1でのソフトウェア制御手順が示される。スクロールを開始する前に、スクロールドット量レジスタ16をクリアしスクロールドット量を“0”にする。さらにスクロールを行う表示行をスクロール表示行指定レジスタ15に設定する。スクロールはスクロールドット量レジスタ16に1画素分のスクロールを設定することで開始する。さらにスクロールドット量レジスタ16のスクロールドット量を順次増やすように設定を変更して行くことで、画素単位で左方向へのスムーズスクロールを行うこ

(9)

15

とができる。またスクロールドット量レジスタ16のスクロールドット量を順次減らすように設定を変更していくことで右方向への連続的スムーズスクロールを行うことができる。また、液晶の反応速度との関係において滑らかなスムーズスクロールを行うため、スクロールドット量レジスタ16のインクリメントまたはデクリメントを行うタイミングにインターバル時間（ウェイトステップSw）を挿入する必要がある。液晶表示制御装置2はこのインターバル期間において同一フレームを繰返し表示させる。スムーズスクロールの実行時間は、CPU1がこのインターバル時間を調整することで変えることができる。

【0045】CPU1と液晶表示制御装置2との間のデータの授受は液晶表示制御装置2内のCPUインタフェース7を介して行われる。液晶表示制御装置2は、CPU1からデータを書き込むためのシリアルデータ入力端子（以下、SIDと略す）、CPU1がデータを読み出すためのシリアルデータ出力端子（以下、SODと略す）、液晶表示制御装置2での上記入力データの取り込みタイミングまたは読み出しタイミングを示すシリアル転送クロック入力端子（以下SCLKと略す）の計3本のインタフェース信号を備えている。

【0046】図7には上記インタフェース信号を用いた書き込み手順が示され、図8にはその読み出し手順が示される。入力（SID）または出力（SOD）されるデータはシリアル転送クロック（SCLK）に同期してインタフェースされる。まずCPU1は転送の開始時にSID端子からスタートバイトを入力する。CPUインタフェース7は、“1”が連続的に5ビット入力されたとき、スタートバイトが開始されたと認識する。この連続した5ビットの“1”データ列を同期ビット列と定義する。CPUインタフェース7は、同期ビット列を認識すると、同期ビット列に続くビットをR/Wビット、さらにその次のビットをRSビットとみなし、入力ビットの状態を記憶する。なおスタートバイトの最終ビットは“0”を入力する必要がある。その次に続く4ビットの下位データD0～D3が全ビット“1”のとき、当該最終ビットが“1”であるなら、それらが同期ビット列であると認識されてしまうからである。上記R/WビットはCPU1が液晶表示制御装置2へのリード/ライト（読み出し/書き込みを指示するビット）であり、“0”のとき書き込みを意味し、“1”のとき読み出しを意味する。さらに上記RSビットはレジスタを選択するビットであり、“0”のときCPUアドレスカウンタ6またはインストラクションレジスタ群24の選択を意味し、“1”のとき表示RAM4の選択を意味する。インストラクションレジスタ群24は前述のスクロール表示行指示レジスタ15、スクロールドット量レジスタ16および各種液晶表示制御レジスタ23から構成される。

【0047】ここで上記R/W及びRSビットと動作モ

16

ードとの関係をまとめると、R/Wビット=0、RSビット=0のときは、CPUアドレスカウンタ6及びインストラクションレジスタ群24への設定値書き込みの動作モードとされ、R/Wビット=0、RSビット=1のときは、表示RAM4へのデータ書き込みの動作モードとされ、R/Wビット=1、RSビット=0のときは、CPUアドレスカウンタ6からのカウント値読み出しの動作モードとされ、R/Wビット=1、RSビット=1のときは、表示RAM4からのデータ読み出しの動作モードとされる。

【0048】スタートバイト内のR/Wビットで書き込みを指定すると、そのスタートバイトに続く2バイト（16ビット）で、8ビットのデータ列を書き込む。即ち8ビットのデータ列を上下4ビットのデータ列に2分割し、スタートバイトの次のバイト（下位バイト）で下位4ビットのデータ列と4ビットの連続した“0”列を入力し、さらにその次のバイト（上位バイト）で上位4ビットのデータ列と4ビットの連続した“0”列を入力する。したがって同期ビット列以外、SID上に“1”が5ビット以上連続することがない。

【0049】またスタートバイト内のR/Wビットで読み出しを指定すると、そのスタートバイトに続く1バイト（8ビット）で、SOD端子から8ビットのデータ列を連続して読み出す。SOD端子からデータ列を読み出している最中においても、SIDから入力される5ビットの同期ビット列を監視している。図9に読み出しシーケンスから書き込みシーケンスへの変更手順を示す。例えば、第1バイト目で最初のスタートバイトのR/Wビットを“1”、RSビットを“0”にして、第2バイト目でCPUアドレスカウンタ6の内容を読み出す。この読み出しを行っている第2バイト目で、同時に次のスタートバイトのR/Wビットを“0”、RSビットを“1”にして、第3バイト目と4バイト目で表示RAM4にデータを書き込む。これにより書き込みと読み出しの切り替えをSCLK、SID、SODの3本のインタフェース信号で実現することができる。なお液晶表示制御装置2からデータを読み出す必要がない場合には、SCLKとSIDの2本の端子でインタフェースすることができる。

【0050】このようなインタフェースの手順を採用することにより、単なるクロック信号に同期して上記動作モード毎に情報伝送を行うことができる。換言すれば、特別な波形のクロック信号若しくはタイミング信号を用いた専用のデータ伝送プロトコルを必要としない。したがって、本実施例の液晶表示制御装置2を制御するCPU1は一般的なシリアルインタフェース若しくはポートを有していればよく、どのようなCPUでも幅広く利用できるというCPUに対する汎用性を増すことができる。

【0051】図10にはCPUインタフェース7内のブロック図が示される。SID端子から入力されたデータ

(10)

17

はSCLKの立上りエッジでカスケード接続されたラッチ回路(1)51〜ラッチ回路(8)58に逐次取り込まれる。スタート同期検出回路59は、ラッチ回路

(4)54〜ラッチ回路(8)58に取り込まれたデータの出力を常時監視し、その出力が全て“1”になった場合、同期ビット列とみなす。同期ビット列を検出したとき、その時点でラッチ回路(2)52とラッチ回路

(3)53の出力データをそれぞれRSビットおよびR/Wビットとみなし、その出力をRSラッチ回路61とR/Wラッチ回路60にラッチする。

【0052】転送ビットカウンタ62は、入力されたデータ列から有効な下位4ビットのデータ列と上位4ビットのデータ列をそれぞれ下位データラッチ回路63および上位データラッチ回路64へ取り込むためのラッチタイミングを発生する。上記転送ビットカウンタ62は、SCLKで逐次カウントアップする。上述のRSラッチ回路61、R/Wラッチ回路60、下位データラッチ回路63および上位データラッチ回路64からの出力は、RS信号、R/W信号、DB0〜DB7信号と液晶表示制御装置2内部の各ブロックに供給される。

【0053】また前述のスタート同期検出回路59で検出された同期ビット列により、転送ビットカウンタ62を強制的にリセットし初期化する。電源投入時の転送状態が不定の場合、または転送中にシリアル転送クロック入力端子(SCLK)にノイズがのりCPU1が扱うデータ列とCPUインタフェース7で扱うデータ列とがビットずれを起こす場合など、同期ビット列で転送ビットカウンタ62を初期化することで、転送手順を正常状態に復帰させることができる。

【0054】シリアルデータの読み出しは、シリアル転送クロック入力端子SCLKから入力されたクロックの立ち上がりエッジでパラレル/シリアル変換回路65からシリアルアウトされたデータをSOD端子からCPU1に出力する。液晶表示制御装置2内部の各ブロックから供給されたデータはDB0〜DB7を介しパラレル/シリアル変換回路65にロードされる。このロードタイミングはバイト単位に前述の転送ビットカウンタ62から供給する。なおCPU1はSOD端子から出力されたシリアルデータをSCLKの立上りエッジで取り込む。

【0055】スタートバイト内のR/WビットおよびRSビットを変更する必要がある場合、複数のバイト情報を連続的に転送することができる。例えば、表示RAM4の複数のバイトをまとめて連続的に書換える場合、最初にスタートバイトでR/Wビットを“0”、RSビットを“1”に設定すると、その後はスタートバイトなしに連続して表示RAM4内のデータを書換えることができる。このとき表示RAM4の書換えアドレスを供給するCPUアドレスカウンタ6は1バイト書換え毎に自動的にインクリメントするようにしてあるので、CPU1はCPUアドレスカウンタ6を逐次再セットする必要はな

18

い。

【0056】上記実施例によれば以下の作用効果がある。

(1)表示行単位に選択的に左右にスクロールを行うためのスクロール表示行指定レジスタ15とスクロールドット量レジスタ16を採用し、現在表示中の表示行がスクロールを行うべき表示行かを検出するための行一致検出回路20と、表示を行うキャラクタパターンを画素単位にシフトするためのスクロールシフトレジスタ11とを設けることで、任意の表示行のみを選択的に画素単位に左又は右方向にスクロールすることができる。

(2)これにより、特定の表示行に対してスムーズスクロールを実現できる。文字パターン毎のスクロールに比べて表示品質は著しく向上される。

(3)さらに上記スクロールを行うときにキャラクタコードを格納する表示RAM4内のデータを書換える必要はなく、この点においてCPU1の負担を軽減できてそのソフトウェア処理を簡素化することができる。

(4)例えば携帯電話機などの小型機器において限られた表示スペース内で表示行毎に異なる性質の情報表示を行うような場合、所要の表示行だけを順次スクロールしてその内容を表示させることができる。これによって、小型表示装置に対する情報表示の性能若しくは情報表示量を簡単に高めることができ、特に携帯通信端末若しくは移動体通信端末における将来の各種情報サービスによる情報表示に即応することができるようになる。例えば、特定の表示行に天気予報や交通渋滞の情報を順次表示していくような場合である。

(5)シリアル転送クロックに同期した同期ビット列の検出に同期して転送ビットカウンタ62をリセットしてバイト単位でのデータ伝送を制御することにより、CPU1との間でのデータビットのずれが生じても次の同期ビット列の検出に呼応して伝送手順を正常に復帰させることができる。

(6)出力端子SODを介するCPU1による読み出し動作中においても入力端子SIDからの入力を受けて同期ビット列とそれに続くR/Wビットを監視するので、書込みと読み出しの切り換えをSCLK、SID、SODの3本のインタフェース信号で実現できる。

(7)上記インタフェースの手順を採用することにより、単なるクロック信号としてのSCLKに同期して複数動作モードに応ずる情報伝送を行うことができる。換言すれば、特別な波形のクロック信号若しくはタイミング信号を用いた専用のデータ伝送プロトコルを必要としない。したがって、本実施例の液晶表示制御装置2を制御するCPU1は一般的なシリアルインタフェース若しくはポートを有していればよく、液晶表示制御装置の制御主体として比較的広い範囲でどのようなCPUでも幅広く利用できるようになる。

【0057】図11には本発明の第2実施例に係る液晶

(11)

19

表示制御装置104を用いたシステム構成例が示される。図1で説明したものと同一機能を有する回路ブロックには同一符号を付してその詳細説明を省略する。図1で説明した実施例に対し、インストラクションレジスタ群24にスクロール表示桁指定レジスタ111が付加されている。このスクロール表示桁指定レジスタ111は、CPUインタフェース7を介してCPU1にて値が設定される。すなわち、スクロール表示桁指定レジスタ111にはスクロールを行う表示桁の位置情報が書き込まれる。この場合、スクロール表示行指定レジスタ15で指定された表示行のうち、スクロール表示桁指定レジスタ111で指定された表示桁に対し、スクロールドット量レジスタ16で指定された画素単位のスクロールが制御される。これらのスクロールは上記インストラクションレジスタ群24とスクロール制御回路115とスクロールシフトレジスタ11で制御される。

【0058】図12には上記スクロールのための詳細な回路図が示される。特に制限されないが、第2実施例は、6×8ドットで構成されるキャラクタフォントパターンを垂直方向に4行、水平方向に8桁表示する場合を一例とする。各文字行は8ラインになるので、4行表示ではコモン液晶ドライバ18は32個の駆動回路を有する。また6ドット幅で8桁表示をするので、セグメント液晶ドライバ14は48個の駆動回路を有する。

【0059】図12において行一致検出回路20は図2の実施例と同様に、現在駆動中の表示行とスクロール表示行指定レジスタ15に設定される4ビットの情報とを比較し、結果が一致すると図13のスクロール行一致信号φ5はその期間中ハイレベルとなる。また桁一致検出回路113は、現在表示中の表示桁カウンタ112とスクロール表示桁指定レジスタ111に設定される8ビットの情報とを比較し、結果が一致すると図13のスクロール桁一致信号φ6はその期間中ハイレベルとなる。なお表示桁カウンタ112は1ライン毎に文字単位にデクリメントするカウンタである。ゲート回路31は、スクロールを行う表示行期間中、スクロールドット量レジスタ16で指定された6ビットのスクロールドット量を出力する。ゲート回路114は、スクロールを行う表示桁期間だけ上記6ビットのスクロールドット量を出力し、スクロールシフトレジスタ11に供給する。スクロール行一致信号φ5またはスクロール桁一致信号φ6がローレベルであるとき、ゲート回路31またはゲート回路114はスクロールドット量指示信号SELの6ビットが全て論理値0となるようにマスクして、該信号SELをスクロールシフトレジスタ11に供給する。したがって、スクロールドット量レジスタ16に格納されたスクロールドット量指定データは、パネル3で表示行がレジスタ15で指定されるスクロール行に一致し、かつレジスタ111で指定されるスクロール桁に一致した時だけにスクロールシフトレジスタ11に供給される。

20

【0060】図13には上記のタイミング発生例が示される。φ1からφ4は時分割に各々1行目から4行目まで駆動している期間中ハイレベルとなる。φ5はスクロール表示行指定レジスタ15でスクロール指定された表示行の駆動期間中のみハイレベルになる。またφ6はスクロール表示桁指定レジスタ111でスクロール指定された表示桁の駆動期間中のみハイレベルになる。スクロールドット量指示信号SELは、上記のスクロール期間中、スクロールドット量レジスタ16に格納されているスクロール量を出力し、それ以外の期間は論理値0とされる。

【0061】図14及び図15には一部の表示桁のみをスクロールする表示例が順を追って(A)～(D)に示される。スクロール表示行指示レジスタ15でパネル3の第2行目のスクロールを指示し、スクロール表示桁指定レジスタ111でパネル3の2桁目から8桁目のスクロールを指示する。そして(A)～(D)のように順を追ってスクロールドット量を増やしていく。これにより、パネル3の第2行目の2桁目から8桁目の7文字が、スクロールドット量指定レジスタ16で指示されるスクロール量でスクロール表示される。

【0062】上記スクロール表示行指定レジスタ15は表示行単位に設定可能であるが、スクロールは表示桁指定レジスタ111による表示桁単位の設定に限定されるものではない。例えばスクロール表示桁レジスタを1ビットで構成し、パネル3の左端の1桁以外の桁をスクロールできるように指定することも可能である。この場合、そのビットが1のとき、パネル3の2桁目以降の表示をスクロール表示し、左端の1桁をスクロールせずに固定表示することができる。またそのビットが0のとき、全ての表示桁がスクロール表示することができる。

【0063】図16には本発明の第3実施例に係る液晶表示制御装置102を用いたシステム構成例が示される。図1で説明したものと同一機能を有する回路ブロックには同一符号を付してその詳細な説明を省略する。同図に示される液晶表示パネル103は、特に制限されないが、5×8ドットのフォントを最大12桁1行で表示するものであり、8本のコモン電極と60本のセグメント電極を持つ。図1の実施例と同様に、液晶表示パネル103に表示すべき文字の文字コードはCPU1が表示RAM4に書き込む。書き込まれた文字コードは、表示用アドレスカウンタ8のデクリメント動作に応じて第20桁目から第1桁目に向かって逐次表示RAM4から出力される。出力された文字コードはラインアドレスカウンタ30の出力と共にキャラクタジェネレータROM5のアドレス情報とされ、これによってキャラクタジェネレータROM5から5ビット単位でフォントデータが出力される。この5ビット単位のフォントデータはパラレルシリアル変換回路10でシリアルデータに変換され、スクロールシフトレジスタ11及びセグメントシフトレ



(12)

21

ジスタ12を介してセグメント液晶ドライバ14に供給される。

【0064】本実施例では上記スムーズスクロールを実現するために第1図のスクロール制御回路17及びインストラクションレジスタ群24に代えて、スクロール制御情報を記憶するスクロールレジスタ70、ドット単位（画素単位）のスクロールを行うためのスクロール周期を発生させるスクロール周期発生回路80、スクロール量をカウントするスクロールカウンタ90、スクロール終了を検出するスクロール終了検出回路91を設け、スムーズスクロールに際してCPU1はスクロールレジスタ70に初期設定を行えば済むようにして、CPU1の負担を軽減するようにものである。スクロールレジスタ70はCPU1がCPUインタフェース7を介して初期設定する。

【0065】図17には本実施例におけるスクロールのための詳細な構成ブロック図が示される。上記スクロール周期発生回路80はスクロール動作の間隔時間即ちスクロール速度を規定するためのスクロール周期信号81を発生する。本実施例では当該スクロール周期信号81はクロック信号とされ、夫々周期の異なるクロック信号を生成するカウンタ回路若しくはクロックパルスジェネレータ82の出力をマルチプレクサ83で選択して所定周期のスクロール周期信号81を出力するようになっている。スクロール周期信号81の周期は液晶の反応速度との関係において決定することができ、例えば選択可能な周期は数10msec～数100msecの間の複数種類とされる。その選択はスクロールレジスタ70に格納されたスクロール速度情報（第1の情報）71がマルチプレクサ83に供給されて行われる。

【0066】上記スクロールカウンタ90はクロック入力端子INにスクロール周期信号81を受け、例えばその立上がり変化を計数し、出力端子OUTからその計数値をスクロールドット量としてスクロールシフトレジスタ11に供給する。スクロールシフトレジスタ11は図1の場合と同様にスクロールドット量が大いほど後段のラッチ回路22の出力を選択してセグメントシフトレジスタ12に供給する。上記スクロールカウンタ90においてI/Dは計数方向即ち計数動作のインクリメント又はデクリメントが指示される端子である。本実施例に従えば、スクロールカウンタ90の計数方向はスクロールレジスタ70に格納されたスクロール方向情報（第2の情報）72によって指示される。

【0067】スクロールカウンタ90においてその計数ビットの全ビットを計数値として出力する場合、スクロール周期信号81の1回の変化によってスクロールカウンタ90の出力値は1だけインクリメント又はデクリメントされる。したがって、スクロール周期信号81の1周期毎に1ドットのスクロールが行われることになる。スクロール周期信号81の1周期毎に2ドットのスクロ

22

ールを行う場合には、スクロールカウンタ90の出力最下位ビットに常時“0”のダミービットを付加してマルチプレクサ21の選択端子に供給すればよい。

【0068】スクロールカウンタ90のResetはリセット端子である。スクロールカウンタ90のリセット状態においてその出力は、特に制限されないが、全ビット“0”に初期化され、このリセット状態はスクロールドット量が0とされる状態である。本実施例においてスクロールレジスタ70にはトータルスクロール量情報

（第3の情報）73が格納され、スクロール終了検出回路91に供給される。スクロール終了検出回路91はスクロールカウンタ90の出力がトータルスクロール量情報73に一致したことを検出してスクロールカウンタ90をリセットし、一連のスクロールを終了させる。

【0069】次に本第3実施例の作用を説明する。この作用説明ではスクロール周期信号81の1周期毎に1ドットのスクロールを行うものとする。表示行のスクロールを行う場合、CPU1からトータルスクロール量情報（ドット数）73、スクロール方向情報72、及びスクロール速度情報71の各スクロール情報がスクロールレジスタ70にセットされる。これに従い、スクロールカウンタ90は、選択されたスクロール周期信号81の1周期毎にスクロール量を1ドットずつ進めるようにインクリメント又はデクリメント動作を行って、この計数値をスクロールシフトレジスタ11に供給する。スクロールシフトレジスタ11はその計数値が漸増される毎に後段側のラッチ回路22の出力を選択し、計数値が漸減される毎に前段側のラッチ回路の出力を選択して、画素データ列のセグメントシフトレジスタ12への転送スキュー量（遅延量）を操作しながら、表示行を1ドット毎にスクロールさせる。スクロールカウンタ90の出力がトータルスクロール量に一致されるとその時点でスクロールカウンタ90がリセットされてスムーズスクロールが終了される。尚、本実施例の構成において右方向スクロールは、左方向へスクロールした画面を一旦右方向に戻すような処理に利用されるものと理解されたい。その場合には左方向スクロールの途中でCPU1がスクロールシフトレジスタ71の内容を右スクロールを指示するように再設定すればよい。

【0070】上述の左方向スクロールを例えば横20ドット分行う場合、本実施例では、図18の(A)に示されるようにCPU1がスクロールレジスタ70にトータルスクロール量情報73、スクロール方向情報72、スクロール速度情報71の各スクロール情報を書き込むだけでよい。このスクロールレジスタ70に書き込まれたデータに従い、スクロール周期発生回路80のカウント周期に従いスクロールカウンタ90がスクロール量を0ドットから20ドットまで順次インクリメントし、スクロールシフトレジスタ11で0ドットから20ドットまでのスクロール処理が自動的に行われる。またスクロー

(13)

23

ル終了検出回路91は、スクロールカウンタ90が20ドットカウントしたことを検出すると、スクロールカウンタ20のインクリメント動作を停止させる。停止されるまでCPU1は表示制御を必要とせず待つていばよい(表示ウェイト)。これに対し、図1で説明した実施例の場合には、図18の(B)に示されるように、1ドットスクロールさせる毎にCPU1から液晶表示制御装置に対し、スクロールドット量レジスタ16を書換えるための表示スクロール命令を発行しその都度実行しなければならない。合計20回の命令実行を繰り返さなければならない。更に、スクロールを滑らかに見せるため各命令の発行間隔若しくは実行間隔を等間隔にしたりするためにCPU1はインターバル時間の管理をしなくてはならない。

【0071】したがって、本実施例の液晶表示制御装置102によれば、スクロール命令を1度発行するだけで以後のスクロール動作をCPU1から独立して自律的に制御でき、スクロールを実行する時間管理も不要となり、図1の実施例に比べてスムーズスクロールに伴うCPU1の負担を著しく軽減することができる。尚、図1の実施例はスクロールドット量をレジスタ16で任意に設定できるので、採り得るスクロールの態様に対しては、本実施例よりも自由度が高い。

【0072】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0073】例えば、図17の実施例は単一表示行をスクロールする場合を代表的に説明したが、複数表示行から任意行を選択してスクロール可能にする場合にも適用可能である。例えば、図17のスクロールカウンタ90の出力を図2の実施例で説明したゲート回路31を介してマルチプレクサ21の選択端子に供給し、そのゲート回路を図2同様の一致検出回路20で制御する。この場合に当該行一致検出回路20に供給すべきスクロール表示行情報を格納する領域をスクロールレジスタ71に設けておけばよい。また、上記実施例では表示用アドレスカウンタ8をデクリメントし、これに同期して画素データ列をセグメント側シフトレジスタ12の左側から入力する構成とし、スクロール量を順次大きくすれば左方向に、そしてスクロール量を順次小さくすれば右方向にスクロールするように構成した。これとは逆に、表示用アドレスカウンタ8をインクリメントし、これに同期して画素データ列をセグメント側シフトレジスタ12の右側から入力する構成とし、スクロール量を順次大きくすれば右方向に、そしてスクロール量を順次小さくすれば左方向にスクロールするように構成することもできる。また、スクロール表示行を固定にしたり、或はスクロール表示行制御手段を採用せずに構成することも可能である。フォントの構成画素数、液晶表示パネルの表示サイ

24

ズ、及び表示RAMの記憶容量なども上記実施例に限定されず適宜変更可能である。また、画素データ列を駆動回路に供給するタイミングを画素データ単位でずらすための構成として上記実施例ではスクロールシフトレジスタ11を採用したが、そのラッチ回路からの並列出力を数段おきにマルチプレクサ21に導くようにすることも、上記ずらすための一つの構成例とされる。また、表示装置の特定ウインドウ内における表示にも本発明は適用可能である。

【0074】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である液晶表示技術に適用して述べたが、本発明はこれに限定されるものではなく、蛍光表示管表示、プラズマディスプレイ表示などの各種表示装置の駆動制御に適用することができる。

【0075】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0076】すなわち、信号電極を駆動する画素データ列の供給タイミングを画素データ単位で所定量ずらすスクロール量制御手段を採用するから、上記ずれ量の漸増又は漸減によって画素単位でのスムーズスクロールが実現できる。

【0077】スクロール表示行制御手段を採用することにより、任意の表示行に対して上記スムーズスクロールを実現できる。

【0078】スクロール表示桁制御手段を採用することにより、任意の表示桁に対して上記スムーズスクロールを実現できる。

【0079】スクロールドット量のようなずれ量の指定やスクロール表示行の指定を記憶手段に対して任意に行えるようにすることにより、スクロール態様を任意に指定できる自由度を向上させることができる。

【0080】スムーズスクロールを行うときにキャラコードを格納する表示RAM内のデータを書換える必要がないので、この点においてCPUの負担を軽減できてそのソフトウェア処理を簡素化することができる。また、ビットマップメモリのような大容量メモリの逐次書換えを要しないので、ビットマップ形式の表示制御に比べてCPUの負担を軽減して上記スムーズスクロールを実現できる。

【0081】更に、スクロール速度とスクロールドット量の逐次更新とを自律的に行うスクロール量制御手段を採用することにより、CPUの負担を著しく軽減することができる。

【0082】シリアルクロック信号に同期した同期ビット列の検出に同期して転送制御カウンタをリセットしてデータ伝送を制御し、また、シリアルデータ出力端子からの読出し動作中にもシリアル入力端子からの入力を受

(14)

25

けて同期ビット列とそれに続くアクセス制御情報を監視するインタフェース手段を採用することにより、データプロセッサ若しくはマイクロコンピュータのようなCPUとのインタフェースを単なるシリアルクロックを用いて行うことができ、これによって、データプロセッサ若しくはマイクロコンピュータのようなCPUとのインタフェースを単なるシリアルクロックを用いて行うことができるようになり、制御主体として利用可能なCPUを実質的に制限することのない表示制御装置を実現できる。

#### 【図面の簡単な説明】

【図1】本発明の第1実施例に係る液晶表示制御装置のブロック図である。

【図2】スクロール制御回路の詳細な一例を示す説明図である。

【図3】図2のスクロール制御回路における表示行信号、スクロール表示行指示信号などの生成タイミングの一例を示すタイミング図である。

【図4】指定した表示行のみを選択的にスクロールさせるときの動作例を示す説明図である。

【図5】スクロールドット量の設定値を変えたときに指定した表示行のみを選択的にスクロールさせるときの動作例を示す説明図である。

【図6】画素単位のスムーズスクロールを行うときのCPUによる制御フローの一例を示す説明図である。

【図7】CPUと液晶表示制御装置間をシリアルでデータ転送を行う場合の書き込み手順を示す説明図である。

【図8】CPUと液晶表示制御装置間をシリアルでデータ転送を行う場合の読出し手順を示す説明図である。

【図9】シリアルな読み出しからシリアルな書き込みに動作を変更する動作手順を示す説明図である。

【図10】液晶表示制御装置内のCPUインタフェースの詳細回路図である。

【図11】本発明の第2実施例に係る液晶表示制御装置のブロック図である。

【図12】スクロール制御回路の詳細な一例を示す説明図である。

【図13】図12のスクロール制御回路における表示行信号、スクロール表示行指定信号、スクロール表示行指定信号などの生成タイミングの一例を示すタイミング図である。

【図14】指定された表示行および表示桁を選択的にスクロールさせるときの動作例の前半を示す説明図である。

【図15】図14に続く後半の動作例を示す説明図である。

【図16】本発明の第3実施例に係る液晶表示制御装置を用いたシステム構成ブロック図である。

【図17】図16の実施例におけるスクロールのための詳細な構成ブロック図である。

26

【図18】図1の実施例と図16の実施例におけるスムーズスクロールのためのCPUの負担を比較するための説明図である。

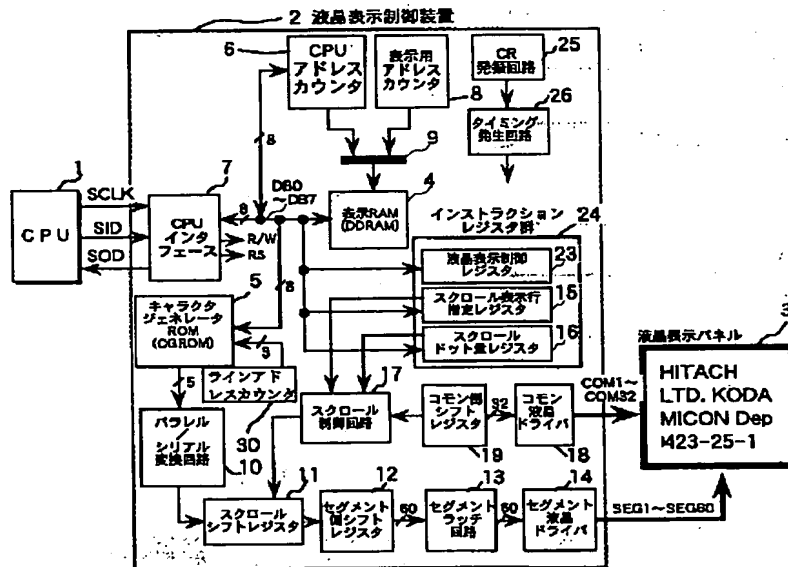
#### 【符号の説明】

- 1 CPU (セントラル・プロセッシング・ユニット)
- 2 液晶表示制御装置
- 102 液晶表示制御装置
- 3 液晶表示パネル
- 103 液晶表示パネル
- 10 4 表示RAM
- 5 キャラクタジェネレータROM (CGROM)
- 6 CPUアドレスカウンタ
- 7 CPUインタフェース
- 8 表示アドレスカウンタ
- 9 アドレスマルチプレクサ
- 10 パラレル/シリアル変換回路
- 11 スクロールシフトレジスタ
- 12 セグメント側シフトレジスタ
- 13 セグメントラッチ回路
- 20 14 セグメント液晶ドライバ
- 15 スクロール表示行指定レジスタ
- 16 スクロールドット量レジスタ
- 17 スクロール制御回路
- 18 コモン液晶ドライバ
- 19 コモン側シフトレジスタ
- 20 行一致検出回路
- 21 マルチプレクサ
- 22 ラッチ回路
- 23 液晶表示制御レジスタ
- 24 インストラクションレジスタ群
- 25 CR発振回路
- 26 タイミング発生回路
- 31 ゲート回路
- 51~58 ラッチ回路(1)~ラッチ回路(8)
- 59 スタート同期検出回路
- 60 R/Wラッチ回路
- 61 RSラッチ回路
- 62 転送ビットカウンタ
- 63 下位データラッチ回路
- 40 64 上位データラッチ回路
- 65 パラレル/シリアル変換回路
- 70 スクロールレジスタ
- 71 スクロール速度情報
- 72 k スクロール方向情報
- 73 トータルスクロール量情報
- 80 スクロール周期発生回路
- 90 スクロールカウンタ
- 91 スクロール終了検出回路
- 104 液晶表示制御装置
- 50 111 スクロール表示桁指定レジスタ

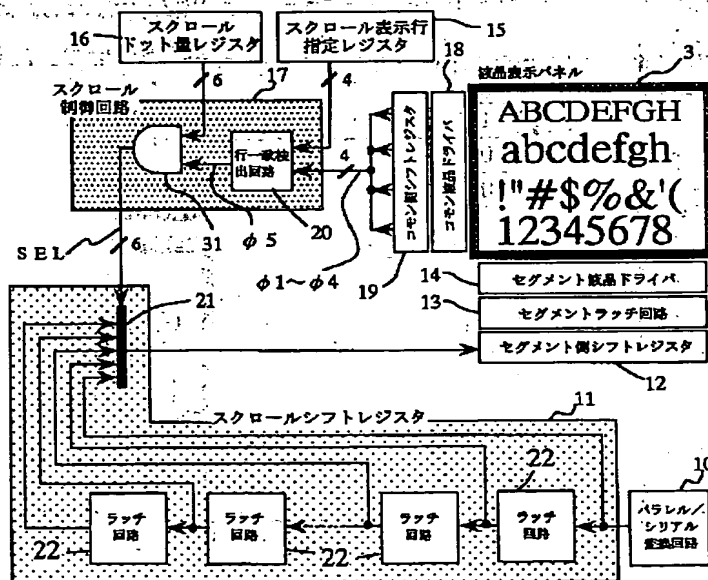
(15)

112 表示桁カウンタ  
 113 桁一致検出回路  
 114 ゲート回路  
 115 スクロール制御回路  
 COM1~COM32 コモン駆動信号  
 SEG1~SEG60 セグメント駆動信号

【図1】

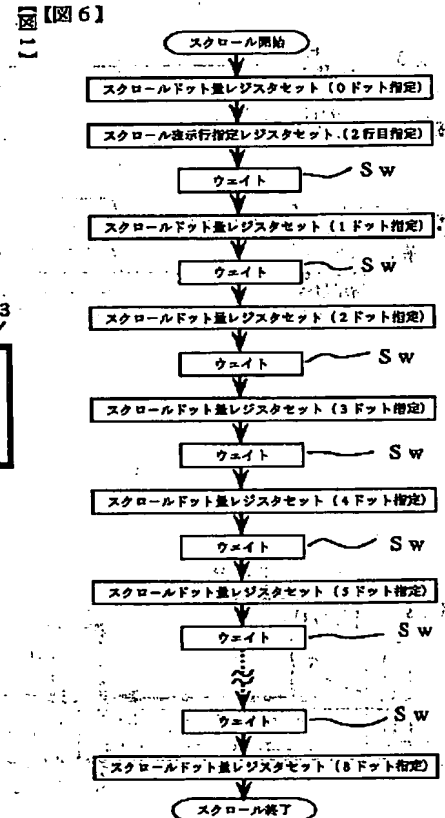


【図2】



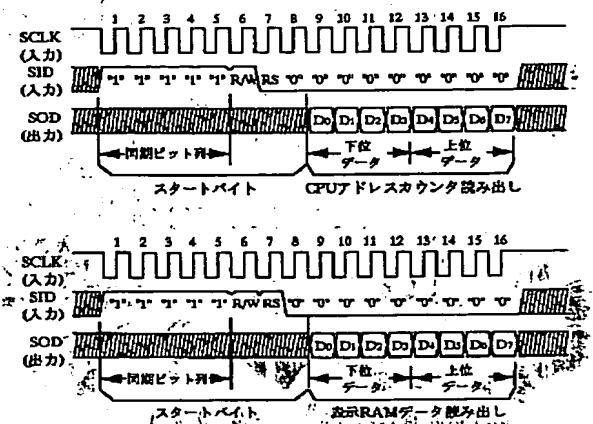
SCLK シリアル転送クロック入力端子  
 SID シリアルデータ入力端子  
 SOD シリアルデータ出力端子  
 DB0~DB7 データバス信号  
 R/W リード/ライト指示信号  
 RS レジスタ選択信号

【図6】



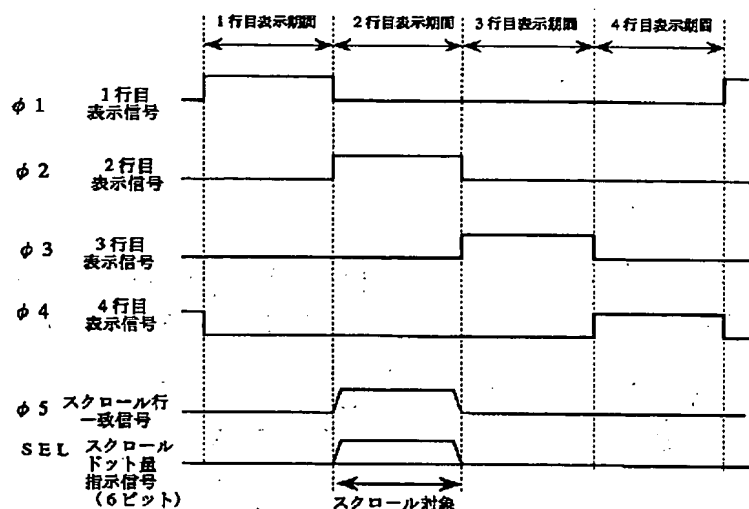
【図8】

【図8】



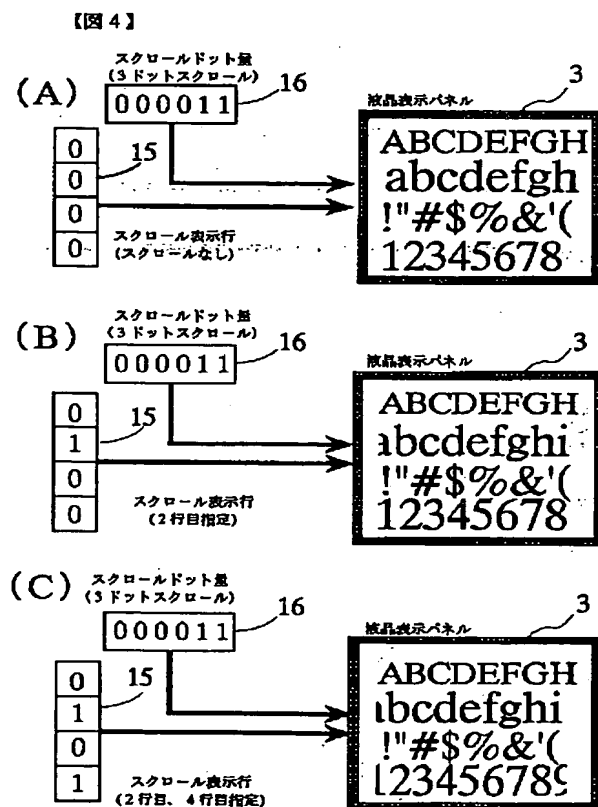
(16)

【図 3】

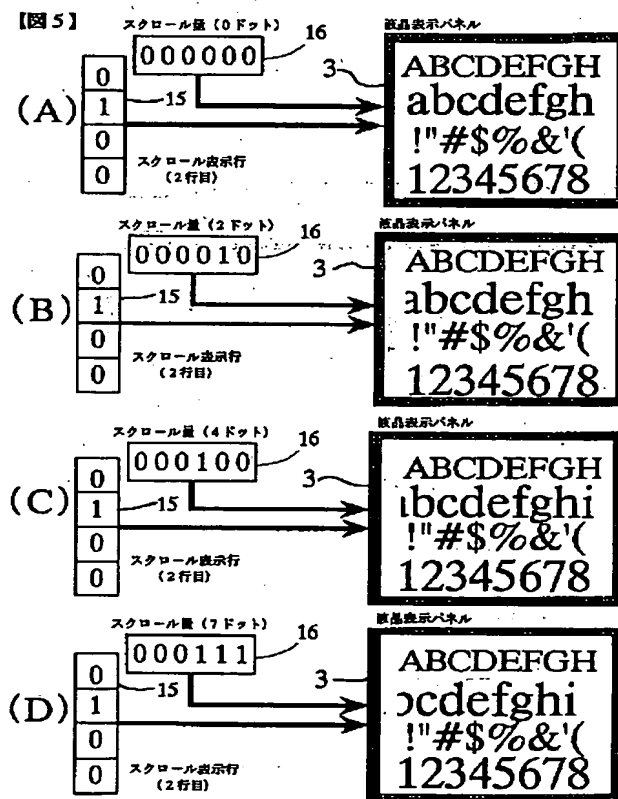


【図 3】

【図 4】

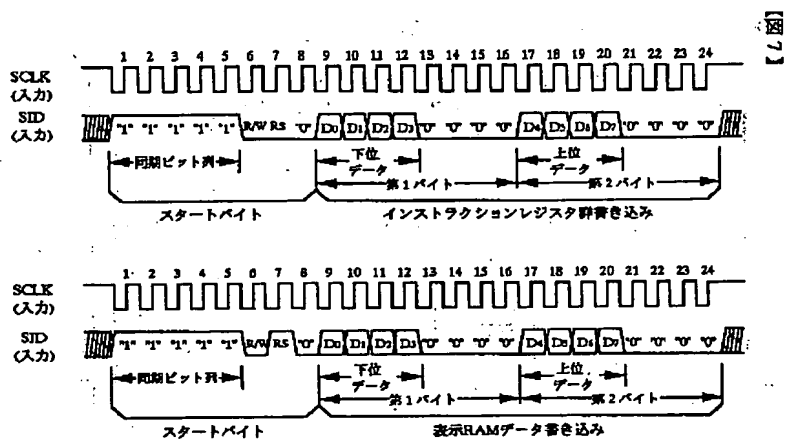


【図 5】

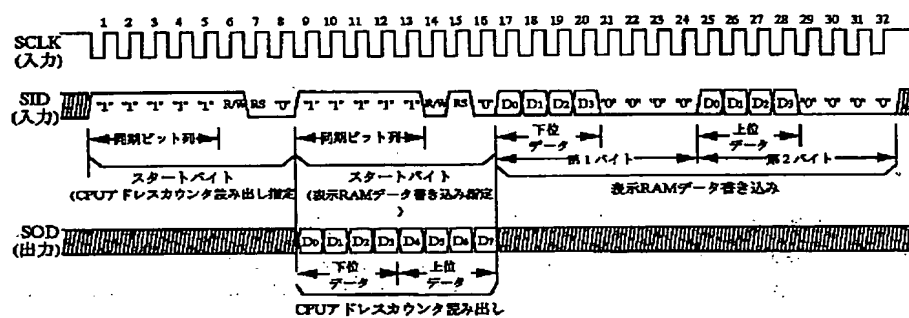


(17)

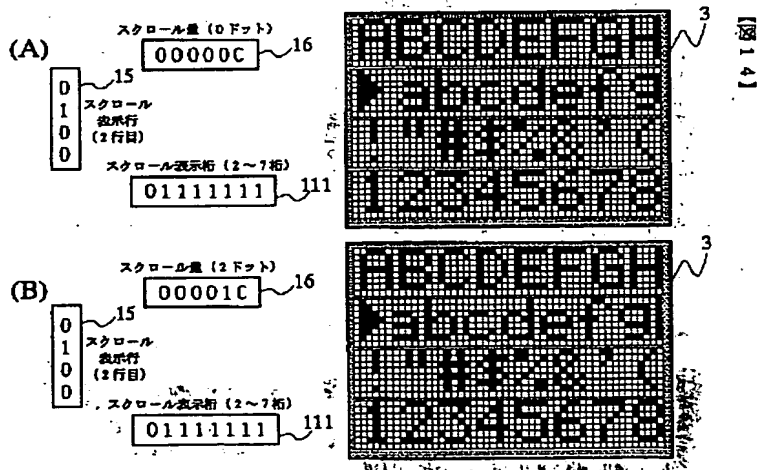
【図7】



【図9】

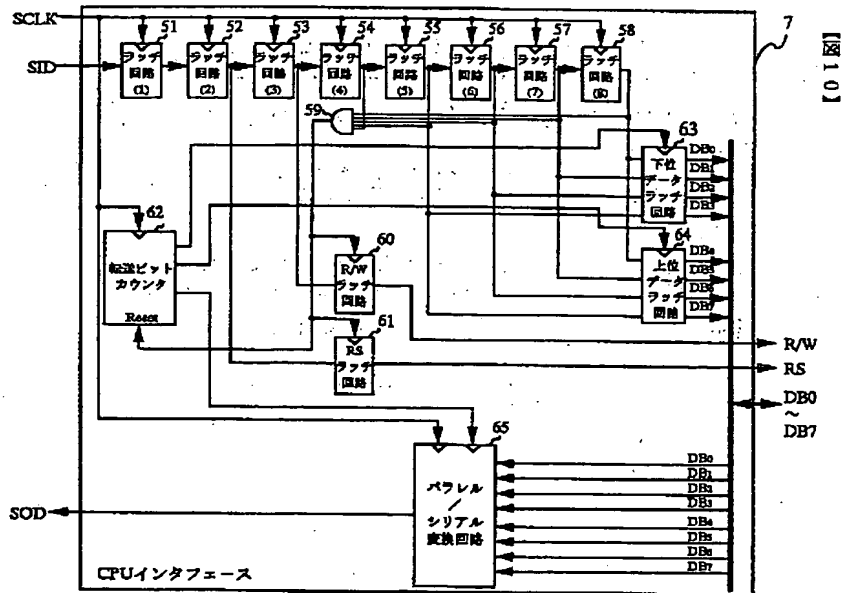


【図14】

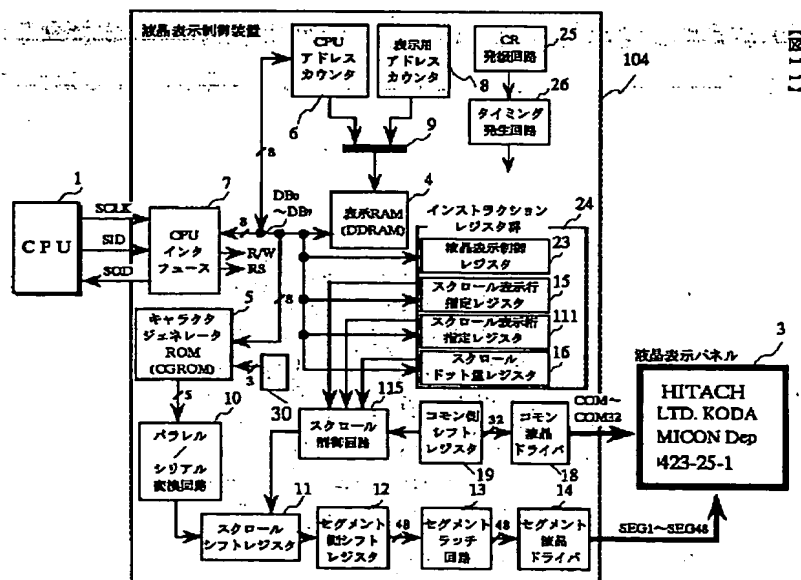


(18)

【図 1.0】

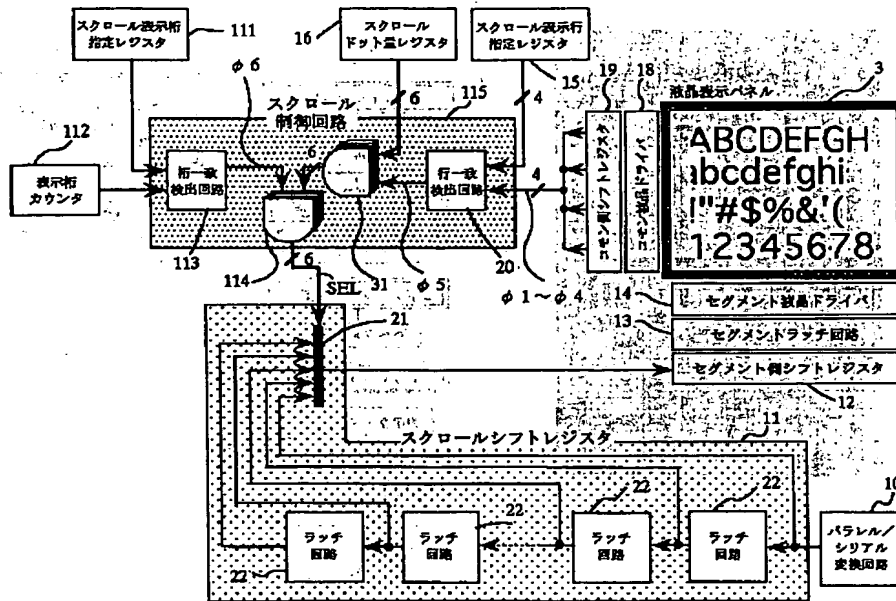


【図 1 1】



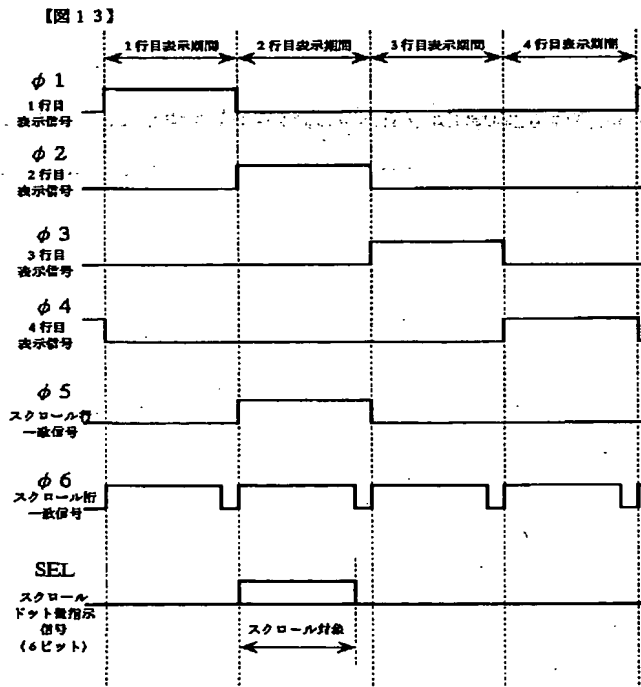
(19)

【図12】

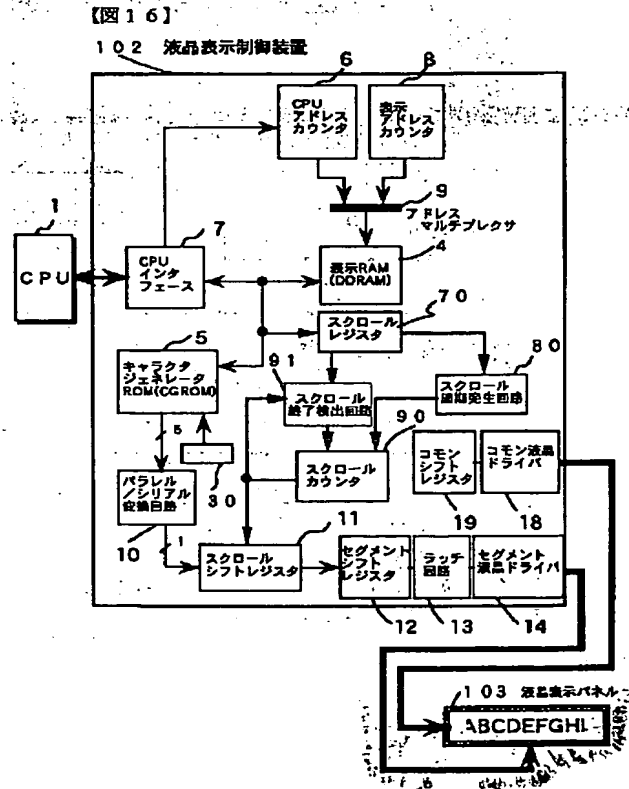


【図12】

【図13】



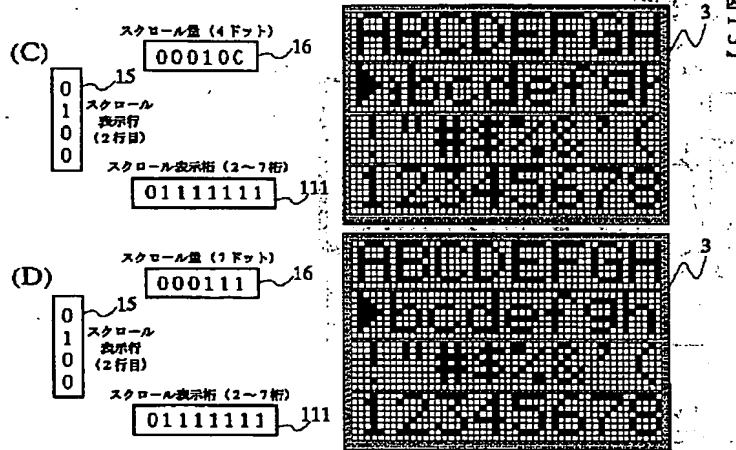
【図1.6】



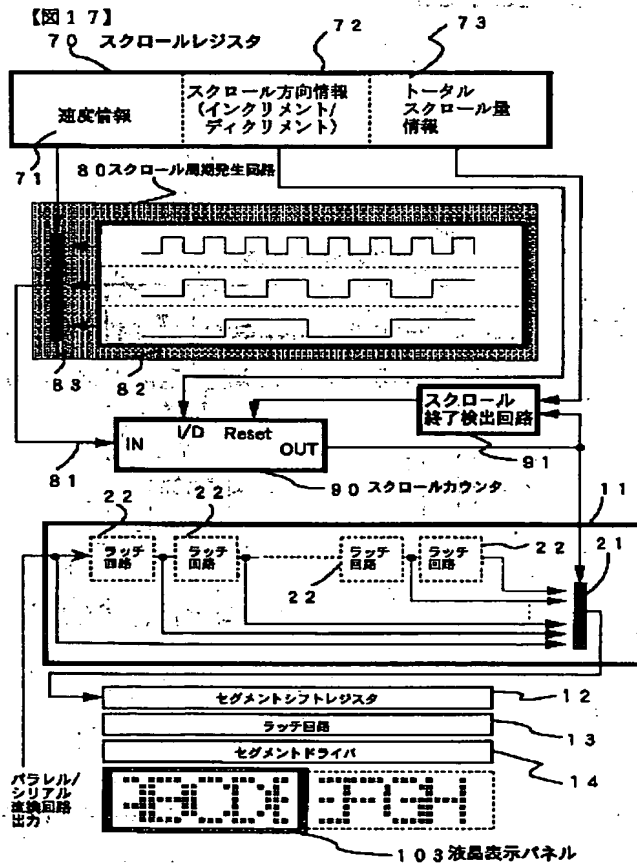


(20)

【図15】

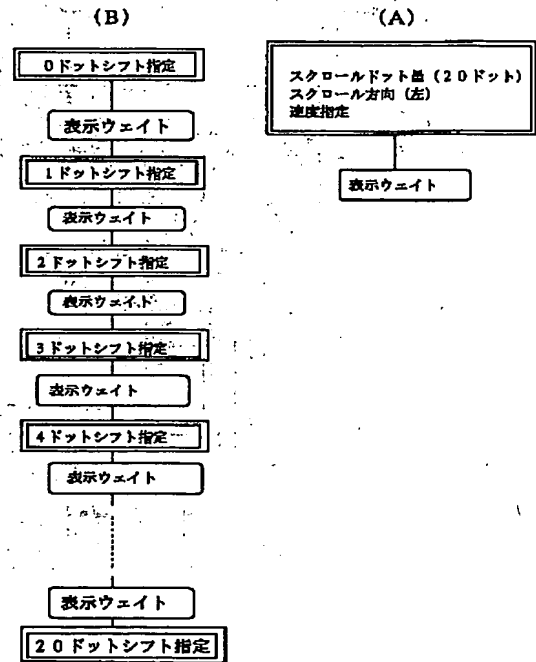


【図17】



【図18】

【図18】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成13年1月26日(2001.1.26)

【公開番号】特開平7-219508

【公開日】平成7年8月18日(1995.8.18)

【年通号数】公開特許公報7-2196

【出願番号】特願平6-95645

【国際特許分類第7版】

G09G 5/34

G06F 3/14 360

【FI】

G09G 5/34 A

G06F 3/14 360 D

【手続補正書】

【提出日】平成12年4月21日(2000.4.21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 走査電極と信号電極の交差位置にドットマトリクス状に配置された多数の表示素子に、複数画素からなるパターンを表示制御する表示制御装置であつて、第1の駆動回路と第2の駆動回路と表示メモリとパターンデータメモリとスクロール量制御回路と画素データ列供給回路を有し、

第1の駆動回路は走査電極を時分割駆動し、

第2の駆動回路は信号電極を画素データに基づいて駆動し、

表示メモリはコードデータを格納し、

パターンデータメモリは表示メモリから読み出したコードデータに基づき画素データを出力し、

スクロール量制御回路は表示装置上ですらして表示すべきパターンのスクロール量を制御するスクロール量データを格納し、

画素データ列供給回路は、パターンデータメモリから順次出力される画素データを入力されたそのまま、または画素データを供給するタイミングを所定量ずらし、若しくはスクロール量制御回路に格納されたスクロール量データによりずらして表示されたパターンに対応した表示データを供給された場合はずらされたままで、第2の駆動回路へ画素データを供給するものであることを特徴とする表示制御装置。

【請求項2】 スクロール量データによりずらして表示する表示桁が指定されるものであることを特徴とする請求項1記載の表示制御装置。

【請求項3】 画素データ列供給回路にシフト回路と選択回路を有し、

シフト回路は、パターンデータメモリが順次出力する画素データを画素単位に記憶段に保持し、選択回路は第2の駆動回路に画素データを供給するシフト回路の記憶段の出力端子を選択するものであることを特徴とする請求項1記載の表示制御装置。

【請求項4】 画素データ列供給回路に、スクロール量を格納する第1記憶回路を有し、

選択回路に、第1記憶回路に格納されたスクロール量に応じて出力端子を選択する手段を有するものであることを特徴とする請求項3記載の表示制御装置。

【請求項5】 スクロール量制御回路に、スクロールすべきスクロール行を記憶するための第2の記憶回路を有し、

画素データ列供給回路は、現在の表示桁が第2の記憶回路により指定されたスクロール行に一致するかを検出する行検出回路と、行検出回路で行の一致が検出されたときに、第1の記憶回路が保持するスクロール量に対応する出力端子を選択回路が選択することを認めるゲート回路を有するものであることを特徴とする請求項4記載の表示制御装置。

【請求項6】 スクロール量制御回路に、スクロール行のスクロール桁を格納するための第3記憶回路を有し、画素データ列供給回路に、現在の表示桁が第3の記憶回路により指定されたスクロール桁に一致するかを検出する桁検出回路を有するものであることを特徴とする請求項2記載の表示制御装置。

【請求項7】 画素データ列供給回路に、スクロール速度を規定するスクロール周期信号の発生回路と、上記データ列供給回路での出力タイミングのずれ量を指示するためのスクロール量を、上記スクロール周期信号に同期して更新するスクロールカウンタを有するものであることを特徴とする請求項1記載の表示制御装置。

(2)

【請求項 8】 画素データ列供給回路に、スクロール周期信号の周期を指定する第 1 の制御情報と、上記スクロールカウンタのカウンタの方向を指示する第 2 の制御情報と、スクロール量を含む第 3 の制御情報を格納する第 4 の記憶回路を有し、

スクロールカウンタの出力が第 4 の記憶回路に含まれる第 3 の制御情報に到達したことを検出して、スクロールカウンタをリセットするスクロール終了検出回路を有するものであることを特徴とする請求項 7 記載の表示制御装置。

【請求項 9】 第 1 の記憶回路と外部装置をインタフェースするインタフェース回路を更に有し、

上記インタフェース回路は、第 1 記憶回路の入力に接続される内部バス、

シリアルクロック入力端子、シリアルデータ入力端子、及びシリアルデータ入力端子に接続され、複数のラッチ回路を含む直列記憶回路と、上記直列記憶回路に含まれる所定段数のラッチ回路のそれぞれの出力が並行入力端子に接続され、並行入力端子のそれぞれが内部バスに接続される並列データラッチ回路と、

直列記憶回路の第 1 のラッチ回路の出力に接続される入力端子と、第 2 のラッチ回路の出力に接続される入力端子と、それらの入力が所定の論理値である場合に第 1 の信号を出力する同期ビット列検出回路と、

上記第 1 の信号に応じて、上記直列記憶回路の第 3 のラッチ回路に格納された情報を取り込むアクセス制御情報ラッチ回路と、

上記第 1 の信号によりリセットされ、上記並列データラッチ回路のラッチタイミングを制御する転送制御カウンタを有するものであることを特徴とする請求項 4 記載の表示制御装置。

【請求項 10】 上記インタフェース回路は、

シリアルデータ出力端子と、

内部バスにパラレルに接続される入力端子と、シリアルデータ出力端子に接続される出力端子と、シリアルクロックに同期してシリアル出力を生成する手段を有するパラレル/シリアル変換回路とを有し、

上記転送制御カウンタは、その計数値に応じて上記パラレル/シリアル変換回路の出力開始タイミングを制御する制御信号の生成手段を有するものであることを特徴とする請求項 9 記載の表示制御装置。

【請求項 11】 請求項 1 記載の表示制御装置と、この表示制御装置に接続された処理装置と、この処理装置からの情報を保持する第 1 メモリと、

第 1 メモリのアドレスを指示するアドレス回路と、

処理装置からのシリアルデータをパラレルデータに変換する第 1 変換回路と、

アドレス回路により指示される第 1 メモリのアドレスに、第 1 変換回路からのデータを書き込む書き込み回路とを有して成るものであることを特徴とする表示システ

ム。

【請求項 12】 複数の走査電極と複数の信号電極と、走査電極と信号電極の交差位置に配置された複数の表示素子を有し、複数の画素から成る表示パターンを表示行上に表示する表示装置を制御する表示制御装置であって、第 1 駆動回路と第 2 駆動回路と表示メモリとパターンデータメモリとスクロール行指定回路とスクロール量指定回路と画素データ供給回路を有し、

第 1 駆動回路は、時分割に走査電極を駆動し、

第 2 駆動回路は、表示画素データに応じて信号電極を駆動し、

表示メモリは、コードデータを格納し、

パターンデータメモリは、ディスプレイメモリから読み出したコードデータに対応した表示画素データを出力し、

スクロール行指定回路は、スクロール行情報を格納し、

スクロール量指定回路は、スクロール量情報を格納し、

画素データ供給回路は、スクロール行指定回路とパターンデータメモリとスクロール量指定回路に接続され、パ

ターンデータメモリの出力する表示画素データを受信し、その表示画素データを第 2 駆動回路に供給し、その

表示画素データがスクロールすべき行に供給されるデータである場合、スクロール量情報に応じてその表示画素データを第 2 駆動回路に供給するタイミングを変更するものであることを特徴とする表示制御装置。

【請求項 13】 画素データ供給回路にシフトレジスタと検出回路と選択信号供給回路を有し、

シフトレジスタは、直列に接続された複数のラッチ回路と、複数のラッチ回路の出力のうちの一つを選択する選択回路を有し、パターンデータメモリから表示画素データを受信し、第 2 駆動回路に複数のラッチ回路の出力の一つを供給し、

検出回路は、第 1 駆動回路により駆動される走査電極がスクロール行情報により指定される行を含む場合、第 1 信号を生成し、

選択信号供給回路は、スクロール量情報により指定される第 1 ラッチ回路の出力が、検出回路からの第 1 信号により選択されるように、選択回路に選択信号を出力するものであることを特徴とする請求項 12 記載の表示制御装置。

【請求項 14】 更にスクロール桁指定回路を有し、

スクロール桁指定回路は、スクロールする桁情報を格納し、

画素データ供給回路は、表示画素データがスクロール桁情報が指定する表示桁に供給されるデータである場合、スクロール量情報に応じてその表示画素データを第 2 駆動回路に供給するタイミングを変更するものであることを特徴とする請求項 12 記載の表示制御装置。

【請求項 15】 画素データ供給回路にシフトレジスタと第 1 検出回路と第 2 検出回路と選択信号供給回路とを

(3)

3

有し、

シフトレジスタは、直列に接続された複数のラッチ回路と複数のラッチ回路の出力のうちの一つを選択するための選択回路を有し、パターンデータメモリから表示画素データ情報を受信し、複数のラッチ回路の出力のうちの一つを第2駆動回路に供給し、

第1検出回路は、第1駆動回路により駆動される走査電極がスクロール行情報により指定される行を含む場合、第1信号を生成し、

第2検出回路は、第2駆動回路により駆動される電極がスクロール桁情報により指定される桁を含む場合、第2信号を生成し、

選択信号供給回路は、スクロール量情報により指定される第1ラッチ回路の出力が、第1検出回路からの第1信号又は第2検出回路からの第2信号により選択されるように、選択回路に選択信号を出力するものであることを特徴とする請求項14記載の表示制御装置。

【請求項16】 複数の表示行と複数の表示桁と、表示行と表示桁の交差位置にパターンを表示する表示装置を制御する表示制御装置であって、

第1駆動回路と表示メモリとパターンメモリとスクロール行指定回路とスクロール量指定回路とスクロール制御回路を有し、

第1駆動回路は、複数の表示桁に接続され、表示画素データに対応する桁を駆動し、

表示メモリは、コードデータを格納し、

パターンデータメモリは、コードデータに対応する複数の表示パターンを格納し、表示メモリからのコードデータに応じた表示パターンを表す表示画素データを供給し、

スクロール行指定回路は、スクロールすべき表示行を指定するスクロール行情報を格納し、

スクロール量指定回路は、スクロール量情報を格納し、

スクロール制御回路は、スクロール行指定回路とスクロール量指定回路とパターンデータメモリに接続され、パターンデータメモリからの表示画素データを第1駆動回路に供給し、表示すべきパターンがスクロール行情報により指定される表示行のものである場合、スクロール量指定回路に格納されたスクロール量に応じてパターンデータメモリからの表示画素データをシフトして、第1駆動回路に供給するものであることを特徴とする表示制御装置。

【請求項17】 複数の表示行を順次駆動する第2駆動回路を更に有し、

スクロール制御回路にシフトレジスタと検出回路と選択信号供給回路を有し、

シフトレジスタは、直列に接続される複数のラッチ回路と、複数のラッチ回路の出力のうちの一つを選択する選択回路を有し、パターンデータメモリから表示画素データを受信し、複数のラッチ回路の出力のうちの選択され

4

た一つを第1駆動回路に供給し、

検出回路は、第2駆動回路が駆動する表示行がスクロール行情報で指定される行か否かを検出し、

選択信号供給回路は、スクロール量情報に応じて指定されるラッチ回路の出力が、第2駆動回路が駆動する表示行がスクロール行情報により指定される表示行であることを検出することにより選択されるように、選択回路に選択信号を供給するものであることを特徴とする請求項16記載の表示制御装置。

10 【請求項18】 スクロール桁情報を格納するスクロール桁指定回路を更に有し、

スクロール制御回路は、表示画素データがスクロール行情報により指定される行のスクロール桁情報により指定される桁である場合、スクロール量情報に対して表示画素データをシフトし、第1駆動回路に供給するものであることを特徴とする請求項16記載の表示制御装置。

【請求項19】 複数の表示行を順次駆動する第2駆動回路を更に有し、

スクロール制御回路はシフトレジスタと第1検出回路と第2検出回路と選択信号供給回路を有し、

20 シフトレジスタは、直列に接続される複数のラッチ回路と、複数のラッチ回路の出力のうちの一つを選択する選択回路を有し、パターンデータメモリからの表示画素データを受信し、複数のラッチ回路の出力のうちの一つを第1駆動回路に供給し、

第1検出回路は、第2駆動回路が駆動する表示行がスクロール行情報により指定される表示行であるときに検出を行い、

30 第2検出回路は、第1駆動回路が駆動する桁がスクロール桁情報により指定される桁であるときに検出を行い、

選択信号供給回路は、第2駆動回路が駆動する表示行がスクロール行情報により指定される表示行であることを第1検出回路が検出し、また第1駆動回路が駆動する桁がスクロール桁情報により指定される桁であることを第2検出回路が検出することで、スクロール量情報に応じたラッチ回路の出力が選択されるよう、選択信号を選択回路に供給するものであることを特徴とする請求項16記載の表示制御装置。

40 【請求項20】 処理装置と表示装置と表示制御装置からなる表示システムであって、

表示装置は、複数の走査電極と、複数の信号電極と、走査電極と信号電極の交差位置に配置される複数の表示素子を有し、

処理装置は、シリアル転送クロック信号と、シリアル転送クロック信号に同期したシリアルデータ信号を生成し、

表示制御装置は、処理装置に接続される第1外部端子と第2外部端子と第1駆動回路と第2駆動回路と第1メモリと第2メモリとアドレス回路と第1変換回路とを有し、

50

(4)

5

第1外部端子はシリアル転送クロック信号を受信し、  
 第2外部端子とシリアルデータ信号を受信し、  
 第1駆動回路は、時分割に走査電極を駆動可能であり、  
 第2駆動回路は、表示画素データに対応して表示パターンを生成するために信号電極を駆動可能であり、  
 第1記憶回路は、表示するキャラクタに対応したコードデータを格納し、  
 第2記憶回路は、第1記憶回路に格納されているコードデータに対応する表示画素データを格納し、  
 アドレス回路は、第1記憶回路中のアドレスを生成し、  
 第1変換回路は、第1外部端子と第2外部端子に接続され、第1外部端子から入力されるシリアル転送クロック信号に同期して、第2外部端子から入力されるシリアルデータをパラレルデータに変換し、変換したパラレルデータをコードデータとしてアドレス回路が指定する第1記憶回路のアドレスに格納するものであることを特徴とする表示システム。

【請求項21】 第1変換回路にシリアル記憶回路とパラレルデータラッチ回路を有し、  
 シリアル記憶回路は、第1外部端子と第2外部端子に接続され、直列に接続されたラッチ回路を有し、  
 パラレルデータラッチ回路は、シリアル記憶回路のラッチ回路の出力に接続された入力と、第1記憶回路の入力に接続される複数の出力を有するものであることを特徴とする請求項20記載の表示システム。

【請求項22】 処理装置と表示制御装置を有する表示システムであって、  
 処理装置は、シリアルクロック信号と、シリアルクロック信号に同期してシリアルデータ信号を生成し、シリアルデータ信号は、第1制御情報とコードデータを含み、  
 表示制御装置は、走査電極と信号電極の交差位置にドットマトリクス状に表示素子を有する表示装置に、複数の画素で表わすパターンを表示するために制御を行い、第1駆動回路と第2駆動回路と表示メモリとパターンデータメモリとシリアルクロック入力端子とシリアルデータ入力端子とシリアル記憶回路とパラレルデータラッチ回路とカウンタとアクセス制御ラッチ回路を有し、  
 第1駆動回路は、走査電極を順次駆動し、  
 第2駆動回路は、画素情報に応じて信号電極を駆動し、  
 表示メモリは、コードデータを格納し、  
 パターンデータメモリは、表示メモリから読み出すコードデータに基づいて画素情報を出力し、  
 シリアルクロック入力端子は、処理装置に接続され、処理装置からシリアルクロック信号を入力され、  
 シリアルデータ入力端子は、処理装置から、表示メモリに格納するコードデータを含むシリアルデータを入力され、  
 シリアル記憶回路は、シリアルデータ入力端子とシリアルクロック入力端子に接続され、シリアルクロック信号に同期して、順次シリアルデータをラッチする複数のラ

6

ッチ回路を有し、  
 パラレルデータラッチ回路は、入力端子はシリアル記憶回路のラッチ回路の出力に接続され、出力端子は表示メモリのデータ入力に接続され、  
 カウンタは、シリアルクロック信号をカウントし、シリアル記憶回路のラッチ回路がラッチするデータを、パラレルデータラッチ回路が取込み可能なように、パラレルデータラッチ回路にラッチタイミング信号を出力し、  
 アクセス制御ラッチ回路は、シリアル記憶回路のラッチ回路がラッチした第1制御回路を取込み、パラレルデータラッチ回路にラッチされたコードデータを表示メモリに書き込み制御するものであることを特徴とする表示システム。

【請求項23】 表示制御回路に、パラレル/シリアル変換回路を更に有し、  
 パラレル/シリアル変換回路は、表示メモリのデータ出力に接続され、シリアルクロック信号に同期してシリアル変換されたデータを出力し、  
 カウンタは、パラレル/シリアル変換回路のデータ出力タイミングを制御する制御信号を生成するものであることを特徴とする請求項22記載の表示システム。

【請求項24】 表示制御回路に、制御レジスタとアドレスカウンタを更に有し、  
 制御レジスタは、表示制御回路の処理を制御する命令を格納し、  
 アドレスカウンタは、パラレルデータラッチ回路が表示メモリにコードデータを書き込む間、表示メモリにアドレス信号を供給し、  
 シリアルデータは、制御レジスタ又はアドレスカウンタに格納される第2制御情報を更に有し、  
 シリアルデータに含まれる第2制御情報及びコードデータの一方が、制御レジスタ、アドレスカウンタ又は表示メモリに書き込まれるように、アクセス制御ラッチ回路は、第1制御情報に応じて、レジスタ、アドレスカウンタ又は表示メモリのうちの一つを選択する選択信号を供給するものであることを特徴とする請求項22記載の表示システム。

【請求項25】 シリアル転送クロック信号に同期してシリアルデータ信号を生成する処理装置と、  
 走査電極と信号電極の交差位置に表示素子を有する表示装置を制御する表示制御装置と、を有する表示システムであって、  
 表示制御装置は、第1外部端子と第2外部端子と第1駆動回路と第2駆動回路と第1記憶回路と第2記憶回路とアドレス回路と第1変換回路を有し、  
 第1外部端子は、処理装置のシリアル転送クロック信号を入力され、  
 第2外部端子は、処理装置のシリアルデータ信号を入力され、  
 第1駆動回路は、時分割に表示装置の走査電極を駆動

(5)

7

し、

第2駆動回路は、表示画素情報に応じて表示するパターンに対応する信号電極を駆動し、

第1記憶回路は、表示装置に表示されるキャラクタを表わすコードデータを格納し、

第2記憶回路は、表示画素情報を格納し、第1記憶回路から読み出されたコードデータに対応する表示パターンを生成するために、第2駆動回路で使用可能に出力され、

アドレス回路は、第1記憶回路のアドレスを生成し、

第1変換回路は、第1外部端子と第2外部端子に接続され、第2外部端子から入力されたシリアルデータを、シ

8

リアル転送クロック信号に同期してパラレルデータに変換し、アドレス回路が指定する第1記憶回路のアドレスに、変換したパラレルデータをコードデータとして書き込むものであることを特徴とする表示システム。

【請求項26】 第1変換回路に、シリアル記憶回路とパラレルデータラッチ回路を含み、

シリアル記憶回路は、第1及び第2外部端子と接続され、直列に接続される複数のラッチ回路を有し、

パラレルデータラッチ回路は、入力端子が、シリアル記憶回路のラッチの出力端子のそれぞれに接続され、出力端子が、第1記憶回路の入力端子に接続されるものであることを特徴とする請求項25記載の表示システム。

10

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**